

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of : **Takaaki NAGAI**

Filed : **Concurrently herewith**

For : **NON-VOLATILE SEMICONDUCTOR STORAGE... #2**

Serial No. : **Concurrently herewith**

April 17, 2001

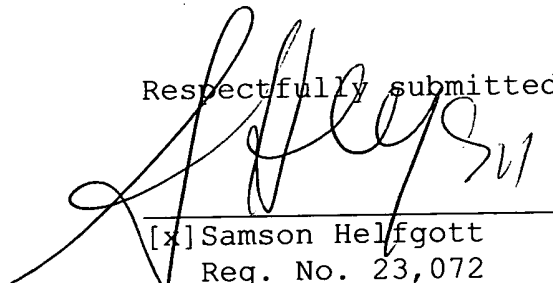
Assistant Commissioner of Patents
Washington, D.C. 20231

SUBMISSION OF PRIORITY DOCUMENT

S I R:

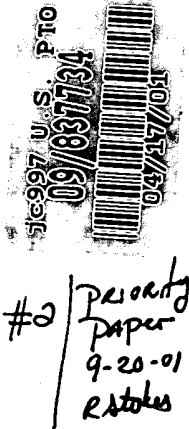
Attached herewith is Japanese patent application No.
2000-117677 of April 19, 2000 whose priority has been claimed in
the present application.

Respectfully submitted


[x] Samson Helfgott
Reg. No. 23,072
[] Aaron B. Karas
Reg. No. 18,923

HELFGOTT & KARAS, P.C.
60th FLOOR
EMPIRE STATE BUILDING
NEW YORK, NY 10118
DOCKET NO.:NECF 18.591
BHU:priority

Filed Via Express Mail
Rec. No.: EL522402659US
On: April 17, 2001
By: Brendy Lynn Belony
Any fee due as a result of this paper,
not covered by an enclosed check may be
charged on Deposit Acct. No. 08-1634.



日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2 0 0 0 年 4 月 1 9 日

出 願 番 号
Application Number:

特 願 2 0 0 0 - 1 1 7 6 7 7

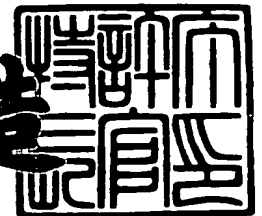
出 願 人
Applicant (s):

日 本 電 気 株 式 会 社

2 0 0 1 年 3 月 2 日

特 許 庁 長 官
Commissioner,
Patent Office

及 川 耕 造



出 証 番 号 出 証 特 2 0 0 1 - 3 0 1 5 5 2 1

【書類名】 特許願

【整理番号】 74112223

【あて先】 特許庁長官 近藤 隆彦 殿

【国際特許分類】 H01L 29/788

【発明の名称】 不揮発性半導体記憶装置及びその製造方法

【請求項の数】 10

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 永井 孝明

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100090158

 【弁理士】

 【氏名又は名称】 藤巻 正憲

 【電話番号】 03-3433-4221

【手数料の表示】

 【予納台帳番号】 009782

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9715181

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置及びその製造方法

【特許請求の範囲】

【請求項 1】 フローティングゲート及びコントロールゲートを備えたメモリセルトランジスタ並びにこのメモリセルトランジスタのソースにドレインが接続されたセレクトトランジスタを有するユニットセルが格子状に配列してメモリセルアレイを有する不揮発性半導体記憶装置において、前記フローティングゲート及びコントロールゲートは前記セレクトトランジスタのゲートの上方まで延出していることを特徴とする不揮発性半導体記憶装置。

【請求項 2】 フローティングゲート及びコントロールゲートを備えたメモリセルトランジスタ並びにこのメモリセルトランジスタのソースにドレインが接続されたセレクトトランジスタを有するユニットセルが格子状に配列してメモリセルアレイを有する不揮発性半導体記憶装置において、前記フローティングゲートの一部及び前記セレクトトランジスタのゲートを構成する第 1 の半導体層と、前記メモリセルトランジスタにおいて前記第 1 の半導体層上に形成されて前記フローティングゲートの他の一部を構成し前記セレクトトランジスタのゲートの上方まで延出する第 2 の半導体層と、前記セレクトトランジスタにおいて前記第 1 及び第 2 の半導体層間を絶縁する第 1 の絶縁層と、前記第 2 の半導体層上に形成された第 2 の絶縁層と、この第 2 の絶縁層上に形成され前記コントロールゲートを構成する第 3 の半導体層と、を有することを特徴とする不揮発性半導体記憶装置。

【請求項 3】 行方向に配列した前記セレクトトランジスタのソースを共通接続するソース線と、前記セレクトトランジスタ毎にそのソースと前記ソース線とを接続する半導体層と、を有することを特徴とする請求項 1 又は 2 に記載の不揮発性半導体記憶装置。

【請求項 4】 列方向で隣り合う前記メモリトランジスタ間で一のドレイン拡散層が共有されていることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の不揮発性半導体記憶装置。

【請求項 5】 フローティングゲート及びコントロールゲートを備えたメモ

リセルトランジスタ並びにこのメモリセルトランジスタのソースにドレインが接続されたセレクトトランジスタを有するユニットセルが格子状に配列してメモリセルアレイを有する不揮発性半導体記憶装置の製造方法において、前記フローティングゲートの一部を前記セレクトトランジスタのゲートと同一の半導体層から形成する工程と、前記フローティングゲートの他の部分を前記セレクトトランジスタのゲートの上方まで延出するように形成する工程と、前記コントロールゲートを平面視で前記フローティングゲートと重なり合うように形成する工程と、を有することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 6】 前記フローティングゲートの他の部分を形成する工程は、前記セレクトトランジスタのソースに接続された第 1 の半導体層を前記他の部分と同一の半導体層から形成する工程を有し、前記コントロールゲートを形成する工程は、前記第 1 の半導体層上に第 2 の半導体層を前記コントロールゲートと同一の半導体層から形成する工程を有することを特徴とする請求項 5 に記載の不揮発性半導体記憶装置の製造方法。

【請求項 7】 前記第 1 の半導体層を形成する工程は、前記第 1 の半導体層に不純物を導入することにより、前記第 1 の半導体層を低抵抗化する工程を有することを特徴とする請求項 6 に記載の不揮発性半導体記憶装置の製造方法。

【請求項 8】 前記フローティングゲートの一部を形成する工程は、前記セレクトトランジスタのゲートと同時に前記半導体層をパターニングする工程を有することを特徴とする請求項 5 乃至 7 のいずれか 1 項に記載の不揮発性半導体記憶装置の製造方法。

【請求項 9】 前記フローティングゲートの一部を形成する工程は、前記セレクトトランジスタのゲートを形成した後に行われることを特徴とする請求項 5 乃至 7 のいずれか 1 項に記載の不揮発性半導体記憶装置の製造方法。

【請求項 10】 行方向に配列した前記セレクトトランジスタのソースを共通接続するソース線を形成する工程と、列方向に配列した前記メモリセルトランジスタのドレインを共通接続するビット線を形成する工程と、を有することを特徴とする請求項 5 乃至 9 のいずれか 1 項に記載の不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はフラッシュメモリ等に使用される不揮発性半導体記憶装置に関し、特に、メモリセル容量の向上を図った不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】

従来、不揮発性半導体記憶装置には、1個のユニットセルに1個のメモリセルトランジスタが設けられたもの、1個のユニットセルに1個のメモリセルトランジスタ及び1個のセレクトトランジスタが設けられたもの等種々のものがある。

【0003】

図22(a)乃至(c)は1個のユニットセルに1個のメモリセルトランジスタ及び1個のセレクトトランジスタが設けられた従来の不揮発性半導体記憶装置の製造方法を工程順に示す断面図である。また、図23は図22(a)乃至(c)に示す方法により製造された不揮発性半導体記憶装置を示すレイアウト図である。なお、図22に示す断面図は、図23中のD-D線に沿った位置の断面を示している。

【0004】

この従来の製造方法では、まず、シリコン基板101の表面に複数の素子分離用のフィールド絶縁膜104を島状に形成する。次いで、図22(a)に示すように、シリコン基板101の表面を熱酸化することにより、活性領域となる領域にトンネルゲート酸化膜105を形成する。更に、トンネルゲート酸化膜105上にポリシリコン膜106を堆積する。次に、ポリシリコン膜106のうちメモリセルトランジスタのゲートとなる部分をスリット状にエッチングする。

【0005】

次いで、図22(a)に示すように、ポリシリコン膜106上に順次酸化膜、窒化膜及び酸化膜を堆積することによりONO膜115を形成する。その後、全面にポリシリコン膜116を堆積する。更に、ポリシリコン膜116上にフォトレジスト117を形成し、このフォトレジスト117を各トランジスタのゲート

電極の形状にパターニングする。

【 0 0 0 6 】

そして、図 2 2 (b) に示すように、フォトレジスト 1 1 7 をマスクとして、ポリシリコン膜 1 1 6、ONO 膜 1 1 5、ポリシリコン膜 1 0 6 及びトンネルゲート酸化膜 1 0 5 を順次セルフアライメントでエッチングにより除去する。次いで、シリコン基板 1 0 1 に N 型不純物、例えばヒ素 (A s) をイオン注入することにより、活性領域として N^+ 拡散層 1 0 9 を形成する。 N^+ 拡散層 1 0 9 のうち、図 2 2 (b) における N^+ 拡散層 1 0 9 a はソース拡散層となり、 N^+ 拡散層 1 0 9 b はドレイン拡散層となる。その後、全面に酸化膜を堆積し、これをエッチバックすることにより、サイドウォール 1 1 8 を形成する。次に、高濃度のイオン注入を行うことにより、LDD 構造のトランジスタを形成する。なお、 N^+ 拡散層 1 0 9 a を挟む 2 個のトランジスタにおいては、ONO 膜 1 1 5 を挟むポリシリコン膜 1 0 6 及び 1 1 6 を短絡させておく。

【 0 0 0 7 】

続いて、図 2 2 (c) に示すように、層間絶縁膜 1 1 9 を全面に堆積し、これにドレインとなる N^+ 拡散層 1 0 9 b まで達するコンタクトホール 1 2 0 を形成し、このコンタクトホール 1 2 0 内に配線層 1 2 1 を埋め込み、更に横方向で配線層 1 2 1 を共通接続する配線層 1 2 2 をビット線として形成する。

【 0 0 0 8 】

図 2 4 (a) 乃至 (d) は 1 個のユニットセルに 1 個のメモリセルトランジスタが設けられた従来の不揮発性半導体記憶装置の製造方法を工程順に示す断面図である。また、図 2 5 は図 2 4 (a) 乃至 (d) に示す方法により製造された不揮発性半導体記憶装置を示すレイアウト図である。なお、図 2 4 に示す断面図は、図 2 5 中の E - E 線に沿った位置の断面を示している。

【 0 0 0 9 】

この従来の製造方法では、先ず、シリコン基板 1 5 1 の表面に横方向に延びる複数の素子分離用のフィールド絶縁膜 1 5 4 をライン状に形成する。次いで、図 2 4 (a) に示すように、シリコン基板 1 5 1 の表面を熱酸化することにより、活性領域となる領域にトンネルゲート酸化膜 1 5 5 を形成する。更に、トンネル

ゲート酸化膜 155 上にポリシリコン膜 156 を堆積し、ライン状に形成したフィールド絶縁膜 154 上のポリシリコン膜 156 をスリット状にエッチングによって除去する。次いで、ポリシリコン膜 156 上に順次酸化膜、窒化膜及び酸化膜を堆積することによりONO膜 165 を形成する。その後、全面にポリシリコン膜 166 を堆積する。更に、ポリシリコン膜 166 上にフォトレジスト 167 を形成し、このフォトレジスト 167 を各メモリセルトランジスタのゲート電極の形状にパターンニングする。

【0010】

そして、図 24 (b) に示すように、フォトレジスト 167 をマスクとして、ポリシリコン膜 166、ONO膜 165 及びポリシリコン膜 156、トンネルゲート酸化膜 155 を順次セルフアライメントでエッチングにより除去する。次いで、シリコン基板 151 にN型不純物、例えばヒ素 (As) をイオン注入することにより、活性領域として N^+ 拡散層 159 を形成する。 N^+ 拡散層 159 のうち、図 24 (b) における N^+ 拡散層 159 a はソース拡散層となり、 N^+ 拡散層 159 b はドレイン拡散層となる。その後、全面に酸化膜を堆積し、これをエッチバックすることにより、サイドウォール 168 を形成する。次に、高濃度のイオン注入を行うことにより、LDD構造のトランジスタを形成する。

【0011】

次いで、図 24 (c) に示すように、全面にシリコン酸化膜 161 を堆積する。

【0012】

続いて、図 24 (d) に示すように、ドレイン、ソース領域上のシリコン酸化膜 161 に N^+ 拡散層 159 に到達する開口部を形成した後、全面にポリシリコン膜 163 を堆積する。そして、ポリシリコン膜 163 を、ドレイン領域上には個々の開口部にポリシリコンの座 163 a を配置するように、ソース領域上にはワード線と平行にポリシリコン膜 163 b で接続し共通ソース線となるようにパターンニングする。その後、層間絶縁膜 169 を全面に堆積し、ポリシリコンの座 163 a に到達するコンタクトホール 170 を形成し、このコンタクトホール 170 内に配線層 171 を埋め込み、更に横方向で配線層 171 を共通接続する配

線層 1 7 2 をビット線として形成する。

【 0 0 1 3 】

これらの方法により製造された不揮発性半導体記憶装置においては、今後、素子の微細化及び低電圧化が行われていく中で、メモリセルトランジスタのコントロールゲートとフローティングゲートとの間の容量が小さく、十分な結合容量を得ることができない。このため、その動作には高い電圧が必要となり、近時の動作電圧の低減の要請に対応することができず、動作電圧を生成する昇圧回路の面積増大及び昇圧回路を生成する工程の増大につながる。また、ゲート酸化膜及びONO膜を薄膜化することによって結合容量を向上させることは可能であるが、この方法では、リーク電流の発生等によってメモリセルの信頼性を損なう虞があるため、薄膜化には制限がある。

【 0 0 1 4 】

一方、1個のユニットセルに1組のソース領域及びドレイン領域、2つのチャネル領域を設け、一方のチャネル領域に対して下から順に選択ゲート、浮遊ゲート及び制御ゲートを設け、他方のチャネル領域において前記浮遊ゲートをゲートとして使用するAND（アンド）方式の半導体不揮発性メモリが提案されている（特開平9-129759号公報）。図26は特開平9-129759号公報に記載された従来の半導体不揮発性メモリを示す断面図である。

【 0 0 1 5 】

この公報に提案された従来の半導体不揮発性メモリにおいては、図26に示すように、半導体基板201の表面にソース領域202及びドレイン領域203が形成され、ソース領域202及びドレイン領域203に挟まれたチャネル領域上でソース領域202側に偏った位置にゲート絶縁膜211を介して選択ゲート204が形成され、ドレイン領域203側に偏った位置にゲート絶縁膜12を介して浮遊ゲート205が形成されている。浮遊ゲート205は絶縁膜214を介して選択ゲート204の上方まで延出している。そして、これらが絶縁膜213に被覆され、この絶縁膜213上に制御ゲート206が形成されている。

【 0 0 1 6 】

このように構成された従来の半導体不揮発性メモリによれば、制御ゲート20

6と浮遊ゲート205とが重なり合う面積が浮遊ゲート205と選択ゲート204とが重なり合う面積よりも大きくなるので、ユニットセルの面積を増大することなく結合容量を大きくすることが可能である。また、1個のドレインコンタクトが、例えば128個のユニットセルにより共有されるので、セル面積の低減が可能である。

【0017】

【発明が解決しようとする課題】

しかしながら、図26に示す従来の半導体不揮発性メモリにおいては、浮遊ゲート205及び選択ゲート204を形成するために、ポリシリコン膜を一括してパターニングする際に、ドレイン側半導体基板201までもエッチングすることになり、この領域に欠陥が発生し、ドレイン領域203を構成する拡散層におけるリーク電流の発生により誤動作を行う虞がある。一方、これを防止するために浮遊ゲート205及び選択ゲート204を別工程で形成する場合には、目ずればらつきが発生して特性がばらつきやすくなるので、微細化には不向きである。また、ゲート酸化膜12を有するトランジスタのチャネル長及びゲート酸化膜11を有するトランジスタのチャネル長もばらつきやすくなるので、特性がばらつくという問題点がある。また、AND方式の半導体不揮発性メモリでは、多数のトランジスタのドレイン及びソースが共通の拡散層で形成され、その拡散層の端部で配線層に接続されているため、ソース及びドレインにおける寄生抵抗が大きいという問題点もある。

【0018】

本発明はかかる問題点に鑑みてなされたものであって、リーク電流による誤動作、特性のばらつき及び製造のばらつきを防止しながらフローティングゲートとコントロールゲートとの間の結合容量を増大させて動作電圧を下げることでできる不揮発性半導体記憶装置及びその製造方法を提供することを目的とする。

【0019】

【課題を解決するための手段】

本発明に係る不揮発性半導体記憶装置は、フローティングゲート及びコントロールゲートを備えたメモリセルトランジスタ並びにこのメモリセルトランジスタ

のソースにドレインが接続されたセレクトトランジスタを有するユニットセルが格子状に配列してメモリセルアレイを有する不揮発性半導体記憶装置において、前記フローティングゲート及びコントロールゲートは前記セレクトトランジスタのゲートの上方まで延出していることを特徴とする。

【 0 0 2 0 】

本発明に係る他の不揮発性半導体記憶装置は、フローティングゲート及びコントロールゲートを備えたメモリセルトランジスタ並びにこのメモリセルトランジスタのソースにドレインが接続されたセレクトトランジスタを有するユニットセルが格子状に配列してメモリセルアレイを有する不揮発性半導体記憶装置において、前記フローティングゲートの一部及び前記セレクトトランジスタのゲートを構成する第 1 の半導体層と、前記メモリセルトランジスタにおいて前記第 1 の半導体層上に形成されて前記フローティングゲートの他の一部を構成し前記セレクトトランジスタのゲートの上方まで延出する第 2 の半導体層と、前記セレクトトランジスタにおいて前記第 1 及び第 2 の半導体層間を絶縁する第 1 の絶縁層と、前記第 2 の半導体層上に形成された第 2 の絶縁層と、この第 2 の絶縁層上に形成され前記コントロールゲートを構成する第 3 の半導体層と、を有することを特徴とする。

【 0 0 2 1 】

本発明においては、フローティングゲート及びコントロールゲートがセレクトトランジスタのゲートの上方まで延出しているので、フローティングゲート及びコントロールゲート間に大きな結合容量を確保することが可能であり、これにより、誤動作を防止しながら動作電圧を低下させることが可能となる。また、ユニットセルには、メモリセルトランジスタ及びセレクトトランジスタが設けられているが、これらのゲートはセルフアライメントによるパターニングで形成することが可能であるため、目ずれ等による特性のばらつきを防止することができる。

【 0 0 2 2 】

なお、不揮発性半導体記憶装置に、行方向に配列した前記セレクトトランジスタのソースを共通接続するソース線と、前記セレクトトランジスタ毎にそのソースと前記ソース線とを接続する半導体層と、を設けることにより、セルサイズの

縮小及び工程数の低減が可能となる。

【 0 0 2 3 】

更に、列方向で隣り合う前記メモリセルトランジスタ間で一のドレイン拡散層を共有するNOR（ノア）方式とすることにより、2個のメモリトランジスタ毎に低抵抗の配線と接続することが可能となるので、寄生抵抗を低減し、高速のランダム読み出しが可能となる。

【 0 0 2 4 】

本発明に係る不揮発性半導体記憶装置の製造方法は、フローティングゲート及びコントロールゲートを備えたメモリセルトランジスタ並びにこのメモリセルトランジスタのソースにドレインが接続されたセレクトトランジスタを有するユニットセルが格子状に配列してメモリセルアレイを有する不揮発性半導体記憶装置の製造方法において、前記フローティングゲートの一部を前記セレクトトランジスタのゲートと同一の半導体層から形成する工程と、前記フローティングゲートの他の部分を前記セレクトトランジスタのゲートの上方まで延出するように形成する工程と、前記コントロールゲートを平面視で前記フローティングゲートと重なり合うように形成する工程と、を有することを特徴とする。

【 0 0 2 5 】

なお、前記フローティングゲートの他の部分を形成する工程は、前記セレクトトランジスタのソースに接続された第1の半導体層を前記他の部分と同一の半導体層から形成する工程を有し、前記コントロールゲートを形成する工程は、前記第1の半導体層上に第2の半導体層を前記コントロールゲートと同一の半導体層から形成する工程を有することができる。このような製造方法によれば、セレクトトランジスタのソースコンタクトの形成のための工程数が低減される。このとき、前記第1の半導体層を形成する工程は、前記第1の半導体層に不純物を導入することにより、前記第1の半導体層を低抵抗化する工程を有してもよい。

【 0 0 2 6 】

また、前記フローティングゲートの一部を形成する工程は、前記セレクトトランジスタのゲートと同時に前記半導体層をパターンニングする工程を有してもよく、前記セレクトトランジスタのゲートを形成した後に行われてもよい。

【 0 0 2 7 】

更に、行方向に配列した前記セレクトトランジスタのソースを共通接続するソース線を形成し、列方向に配列した前記メモリセルトランジスタのドレインを共通接続するビット線を形成することができる。

【 0 0 2 8 】

【発明の実施の形態】

以下、本発明の実施例に係る不揮発性半導体記憶装置及びその製造方法について、添付の図面を参照して具体的に説明する。図 1 は本発明の実施例により製造する不揮発性半導体記憶装置を示す回路図である。

【 0 0 2 9 】

本発明の実施例により製造される不揮発性半導体記憶装置においては、複数個のユニットセル UC が格子状に配列している。1 個のユニットセル UC は、例えば 1 個のメモリセルトランジスタ MT r と 1 個のセレクトトランジスタ ST r とから構成されている。列方向で隣り合う 2 個のユニットセル UC 間ではメモリセルトランジスタ MT r とセレクトトランジスタ ST r とが線対称に配置されており、行をなすユニットセル UC 間では、メモリセルトランジスタ MT r とセレクトトランジスタ ST r との横方向の位置は一致している。このようにして、ユニットセル UC は NOR 方式で配列されている。

【 0 0 3 0 】

メモリセルトランジスタ MT r には、コントロールゲート及びフローティングゲートが設けられており、行をなすメモリセルトランジスタ MT r の各コントロールゲートは行方向に延びるワード線 WL に共通接続されている。また、行をなすセレクトトランジスタ ST r の各ゲートは行方向に延びるセレクトゲート線 SG に共通接続されている。更に、行をなすセレクトトランジスタ ST r の各ソースは行方向に延びるソース線 SL に共通接続されている。このソース線 SL は隣り合うセレクトトランジスタ ST r 間で共有されている。

【 0 0 3 1 】

また、列をなすメモリセルトランジスタ MT r の各ドレインは列方向に延びるビット線 BL に共通接続されている。

【 0 0 3 2 】

ソース線 S L には電圧 V_s が供給され、セレクトゲート線 S G には電圧 V_{sg} が供給され、ワード線 W L には電圧 V_{cg} が供給され、メモリセルトランジスタ M T r におけるデータの読出及び書込はビット線 B L を介して行われる。

【 0 0 3 3 】

図 2 (a) 乃至 (c) 、図 3 (a) 乃至 (c) 及び図 4 (a) 乃至 (c) は本発明の第 1 の実施例に係る不揮発性半導体記憶装置の製造方法を工程順に示す断面図である。また、図 5 (a) 及び (b) 、図 6 (a) 及び (b) 並びに図 7 は本発明の第 1 の実施例に係る不揮発性半導体記憶装置の製造方法を工程順に示すレイアウト図である。なお、図 2 乃至図 4 に示す断面図は、図 5 乃至図 7 中の A - A 線に沿った位置の断面を示している。

【 0 0 3 4 】

第 1 の実施例においては、先ず、図 2 (a) に示すように、P 型シリコン基板 1 の表面にシリコン酸化膜 2 を形成する。次いで、例えばホウ素 (B) を 1 0 0 k e V 程度の注入エネルギー、 10^{13} 原子 / cm^2 程度のドーズ量で P 型シリコン基板 1 にイオン注入する。続けて、 1000°C 程度の温度で熱処理する。

【 0 0 3 5 】

この結果、図 2 (b) に示すように、シリコン酸化膜 2 の下に P ウェル 3 が形成される。この P ウェル 3 にユニットセル U C が格子状に配列したメモリセルアレイが形成される。次に、P 型シリコン基板 1 の表面に複数の素子分離用のフィールド絶縁膜 4 をワード線 W L と直交するように形成する。このとき、フィールド絶縁膜 4 は、図 5 (a) に示すように、例えば縦横に規則的に配置してもよく、図 2 1 (a) に示すように、横方向に延びる線状に規則的に配置してもよい。また、フィールド絶縁膜 4 の厚さは、例えば 4 0 0 0 乃至 8 0 0 0 Å 程度である。

【 0 0 3 6 】

次いで、図 2 (b) に示すように、P 型シリコン基板 1 の表面を 800 乃至 900°C 程度で熱酸化することにより、活性領域となる領域に厚さが、例えば 1 0 0 Å 程度のトンネルゲート酸化膜 5 を形成する。更に、トンネルゲート酸化膜 5

上にポリシリコン膜 6 を減圧 C V D (化学的気相成長) 法により堆積する。ポリシリコン膜 6 の膜厚は、例えば 1 0 0 0 乃至 2 0 0 0 Å 程度であり、後の工程によりメモリセルトランジスタ M T r のフローティングゲートの一部及びセレクトトランジスタ S T r のゲートとなる。次いで、ポリシリコン膜 6 に、例えばリンを熱拡散又はイオン注入法等によりドーピングすることにより、ポリシリコン膜 6 を低抵抗化する。その後、ポリシリコン膜 6 上にシリコン窒化膜 7 を減圧 C V D 法により堆積する。シリコン窒化膜 7 の厚さは、例えば 1 0 0 0 乃至 2 0 0 0 Å 程度である。続いて、シリコン窒化膜 7 上にフォトレジスト 8 を形成し、これをリソグラフィ技術によってゲートが形成される予定の領域に残存するようにパターンニングする。このとき、ゲートが形成される予定の領域は、1 個のフィールド絶縁膜 4 に対し 4 箇所存在し、外側 2 個がセレクトトランジスタ S T r となり、内側 2 個がメモリセルトランジスタ M T r となる。

【 0 0 3 7 】

そして、図 2 (c) 及び図 5 (b) に示すように、レジスト 8 をマスクとして、シリコン窒化膜 7、ポリシリコン膜 6 及びトンネルゲート酸化膜 5 をフィールド絶縁膜 4 に垂直な方向に順次エッチングする。更に、露出した P 型ウェル 5 に N 型不純物、例えばヒ素 (A s) を 5 0 k e V の注入エネルギー、 10^{15} 原子 / cm^2 程度のドーズ量でイオン注入することにより、活性領域として N^+ 拡散層 9 を形成する。 N^+ 拡散層 9 のうち、図 2 (c) における N^+ 拡散層 9 a はソース拡散層となり、 N^+ 拡散層 9 b はドレイン拡散層となる。

【 0 0 3 8 】

次に、全面にシリコン窒化膜を、例えば 1 0 0 0 乃至 2 0 0 0 Å 程度の厚さで堆積し、これに異方性エッチングを施すことにより、図 3 (a) に示すように、残存するポリシリコン膜 6 等の側方に窒化膜からなるサイドウォール 1 0 を形成する。更に、全面にシリコン酸化膜 1 1 を、例えば 3 0 0 0 乃至 5 0 0 0 Å 程度の厚さで堆積し、これをポリシリコン膜 6 上のシリコン窒化膜 7 が露出するまで C M P (化学的機械研磨) 技術によるエッチングにより除去する。なお、図 2 (c) に示す先のヒ素のイオン注入時において、注入エネルギーを 4 0 k e V、ドーズ量を 10^{13} 原子 / cm^2 とし、サイドウォール 1 0 の形成後に、更にヒ素を、

例えば50keVの注入エネルギー、 10^{15} 原子/cm²のドーズ量でイオン注入することによりソース及びドレインをLDD (Lightly doped Drain) 構造としてもよい。

【0039】

次いで、図3(b)に示すように、全面にフォトレジスト12を形成し、メモリセルトランジスタMT_rが形成される予定の領域内のフォトレジスト12をリソグラフィ技術によってパターニングする。そして、フォトレジスト12をマスクとして、露出したシリコン窒化膜7をエッチングにより除去する。

【0040】

その後、図3(c)に示すように、フォトレジスト12を剥離し、全面にポリシリコン膜13を減圧CVD法により堆積する。ポリシリコン膜13の膜厚は、例えば1000乃至2000Å程度である。次いで、ポリシリコン膜13に、例えばリンを熱拡散又はイオン注入法等によりドーピングすることにより、ポリシリコン膜13を低抵抗化する。

【0041】

続いて、図6(a)に示すように、ポリシリコン膜13上にフォトレジスト14を形成し、これを平面視で1個のフィールド絶縁膜4について内側2個のポリシリコン膜6と交差するスリット状の開口部14aを有する形状にリソグラフィ技術によりパターニングする。そして、フォトレジスト14をマスクとして、フィールド絶縁膜4上のポリシリコン膜6及び13をスリット状にエッチングにより除去する。

【0042】

次に、図4(a)に示すように、全面に第1のHTO膜(高温酸化膜)、シリコン窒化膜及び第2のHTO膜を順次堆積することにより、ONO膜15を形成する。ONO膜15は、メモリセルトランジスタMT_rにおけるフローティングゲートとコントロールゲートとの間の絶縁膜となる。第1のHTO膜は、高温の減圧CVD法により、例えば60Å程度の厚さに形成することができる。シリコン窒化膜は、減圧CVD法により、例えば80Å程度の厚さに形成することができる。第2のHTO膜は、高温の減圧CVD法により、例えば100Å程度の厚

さに形成することができる。更に、ON₂O膜15上にポリシリコン膜16を減圧CVD法により堆積する。ポリシリコン膜16の厚さは、例えば1000乃至2000Å程度である。次いで、ポリシリコン膜16に、例えばリンを熱拡散又はイオン注入法等によりドーピングすることにより、ポリシリコン膜16を低抵抗化する。次いで、ポリシリコン膜16上にフォトレジスト17を形成し、このフォトレジスト17をメモリセルトランジスタMT_r上からセレクトトランジスタST_rを覆う形状又はセレクトトランジスタST_rまでかかる形状に残存するようにパターニングする。なお、リンのドーピングの後にタングステンシリサイド(WSi)膜を形成することにより、ゲートをポリサイド構造としてもよい。

【0043】

そして、図4(b)及び図6(b)に示すように、フォトレジスト17をマスクとして、ポリシリコン膜16、ON₂O膜15及びポリシリコン膜13を順次エッチングにより除去する。図6(b)において、点線で囲まれている領域内でメモリセルトランジスタMT_rのフローティングゲートとコントロールゲートとが重なり合っている。

【0044】

ここで、周辺回路領域で論理回路を構成するトランジスタのゲート電極(図示せず)を通常の方法により形成し、周辺回路領域に低濃度のイオン注入を行う。

【0045】

その後、全面にシリコン酸化膜を堆積し、これをエッチバックすることにより、周辺回路領域におけるゲート電極の側方にサイドウォール(図示せず)を形成する。これと同時に、図4(c)に示すように、ポリシリコン膜16、ON₂O膜15及びポリシリコン膜13の側方に酸化膜からなるサイドウォール18が形成される。更に、周辺回路領域において、サイドウォールをマスクとして高濃度のイオン注入を行うことにより、LDD構造のトランジスタを形成する。更に、全面にCVD法により、例えばBPSG(ホウ素-リンケイ酸ガラス: Boron-doped Phosphor-Silicate Glass)膜からなる層間絶縁膜19を堆積する。層間絶縁膜19の厚さは、例えば8000乃至10000Å程度である。次に、図7に示すように、層間絶縁膜19及びシリコン酸化膜11にN⁺拡散層9bまで達する

コンタクトホール 20 を形成し、このコンタクトホール 20 内に配線層 21 を埋め込み、更に横方向で配線層 21 を共通接続する配線層 22 をビット線 BL として形成する。配線層 21 及び 22 は、例えばアルミニウム合金からなり、配線層 22 の厚さは、例えば 4000 乃至 6000 Å 程度である。ソースは N^+ 拡散層 9a により共通にソース線を形成している。また、列方向（図 4（c）では横方向）で隣り合うメモリセルトランジスタ間で N^+ 拡散層 9b 及び配線層 21 が共有されている。

【0046】

また、コンタクトホール 20 を形成すると同時に、数ビットおきにソースとなる N^+ 拡散層 9a にもコンタクトホール（図示せず）を開口し、配線層 21 で埋め込む。配線層 22 の座を設けておき、更に全面に層間絶縁膜を形成し、この層間絶縁膜に先のソース領域上に形成した配線層 22 の座に到達するようにコンタクトホール 23 を形成し、配線層（図示せず）で埋め込み、配線層で共通接続することにより、 N^+ 拡散層のみで形成した場合よりも、共通ソース線の抵抗を下げることも可能である。

【0047】

その後、全面を PSG 等のパッシベーション膜で被覆する。

【0048】

このようにして製造された不揮発性半導体装置においては、メモリセルトランジスタ MT_r におけるフローティングゲートとコントロールゲートとの重なり幅がそのチャネル幅よりも著しく大きいので、大きな容量比を確保することができる。このため、動作電圧を下げて也十分に動作させることが可能である。また、各ポリシリコン膜はセルフアライメントでパターニングされているので、目ずれ等による特性のばらつきは生じない。更に、基板 1 及びウェル 3 等にダメージを与える工程は存在しないので、従来のようなリーク電流の発生による誤動作を防止することができる。

【0049】

図 8（a）は第 1 の実施例により製造された不揮発性半導体記憶装置におけるコントロールゲートとフローティングゲートとの重なりを示すレイアウト図、（

b) は図 2 2 及び図 2 3 に示す従来の方法により製造された不揮発性半導体記憶装置におけるコントロールゲートとフローティングゲートとの重なりを示すレイアウト図である。フィールド絶縁膜の間隔を $0.4 \mu\text{m}$ 、フローティングゲートとフィールド絶縁膜との重なり幅を $0.2 \mu\text{m}$ 、フローティングゲート及びセレクトゲートの幅を $0.4 \mu\text{m}$ 、フローティングゲートとセレクトゲートとの間隔を $0.2 \mu\text{m}$ とすると、第 1 の実施例におけるコントロールゲート（ワード線）の幅は $1.0 \mu\text{m}$ 、従来の方法におけるそれは $0.4 \mu\text{m}$ となる。このため、第 1 の実施例によれば、フローティングゲートとコントロールゲートとの重なり面積は、下記数式 1 で表されるように $0.8 (\mu\text{m}^2)$ となるのに対し、従来の方法では、下記数式 2 で表されるように $0.32 (\mu\text{m}^2)$ にすぎない。つまり、第 1 の実施例によれば、重なり面積を 2.5 倍に大きくすることができる。

【0 0 5 0】

【数 1】

$$(0.4+0.2+0.4) \times (0.2+0.2+0.4) = 0.80$$

【0 0 5 1】

【数 2】

$$0.4 \times (0.2+0.2+0.4) = 0.32$$

【0 0 5 2】

更に、データの書込を FN トンネリング（チャネル注入）により行い、データの消去を FN トンネリング（チャネル引き抜き）により行う場合、従来の方法により製造された不揮発性半導体記憶装置では、表 1 に示す動作電圧が必要とされるが、第 1 の実施例により製造された不揮発性半導体記憶装置では、表 2 に示す動作電圧があれば十分である。

【0 0 5 3】

【表1】

	V _d	V _{c g}	V _{s g}	V _s
書込	0V	20	-1	0
消去	OPEN	-20	1	0
読出	1	0	2	GND

【0054】

【表2】

	V _d	V _{c g}	V _{s g}	V _s
書込	0	14	-1	0
消去	OPEN	-14	1	0
読出	1	0	2	GND

【0055】

また、データの書込をチェネルホットエレクトロン（CHE）により行い、データの消去をFNトンネリング（ソース引き抜き）により行う場合、従来の方法により製造された不揮発性半導体記憶装置では、表3に示す動作電圧が必要とされるが、第1の実施例により製造された不揮発性半導体記憶装置では、表4に示す動作電圧があれば十分である。

【0056】

【表3】

	V _d	V _{c g}	V _{s g}	V _s
書込	5	16	2	0
消去	OPEN	-15	0	5
読出	1	0	2	GND

【0057】

【表 4】

	V d	V c g	V s g	V s
書込	5	1 0	2	0
消去	OPEN	- 9	0	5
読出	1	0	2	GND

【0 0 5 8】

このように、いずれの方式を採用しても、動作電圧を下げる事が可能である。

【0 0 5 9】

次に、本発明の第 2 の実施例について説明する。図 9 (a) 乃至 (c)、図 10 (a) 乃至 (c)、図 11 (a) 乃至 (c) 及び図 12 (a) 乃至 (c) は本発明の第 2 の実施例に係る不揮発性半導体記憶装置の製造方法を工程順に示す断面図である。また、図 13 (a) 及び (b)、図 14 (a) 及び (b) 並びに図 15 は本発明の第 2 の実施例に係る不揮発性半導体記憶装置の製造方法を工程順に示すレイアウト図である。なお、図 9 乃至図 12 に示す断面図は、図 13 乃至図 15 中の B-B 線に沿った位置の断面を示している。

【0 0 6 0】

第 2 の実施例においては、先ず、図 9 (a) に示すように、P 型シリコン基板 1 の表面にシリコン酸化膜 2 を形成する。次いで、例えばホウ素 (B) を 1 0 0 k e V 程度の注入エネルギー、 10^{13} 原子 / cm^2 程度のドーズ量で P 型シリコン基板 1 にイオン注入する。続けて、1 0 0 0 °C 程度の温度で熱処理する。

【0 0 6 1】

この結果、図 9 (b) に示すように、シリコン酸化膜 2 の下に P ウェル 3 が形成される。この P ウェル 3 にメモリセルアレイが形成される。次に、P 型シリコン基板 1 の表面に複数の素子分離用のフィールド絶縁膜 4 をワード線 WL に直交するように形成する。このとき、フィールド絶縁膜 4 は、図 13 (a) に示すように、例えば縦横に規則的に配置してもよく、図 21 (a) に示すように、横方向に延びる線状に規則的に配置してもよい。また、フィールド絶縁膜 4 の厚さは

、例えば4000乃至8000 Å程度である。

【0062】

次いで、図9（b）に示すように、P型シリコン基板1の表面を800乃至900℃程度で熱酸化することにより、活性領域となる領域に厚さが、例えば100 Å程度のトンネルゲート酸化膜5を形成する。更に、トンネルゲート酸化膜5上にポリシリコン膜6を減圧CVD法により堆積する。ポリシリコン膜6の膜厚は、例えば1000乃至2000 Å程度であり、後の工程によりメモリセルトランジスタMT_rのフローティングゲートの一部及びセレクトトランジスタST_rのゲートとなる。次いで、ポリシリコン膜6に、例えばリンを熱拡散又はイオン注入法等によりドーピングすることにより、ポリシリコン膜6を低抵抗化する。その後、ポリシリコン膜6上にシリコン窒化膜7を減圧CVD法により堆積する。シリコン窒化膜7の厚さは、例えば1000乃至2000 Å程度である。続いて、シリコン窒化膜7上にフォトリソグラフィ技術によってゲート電極が形成される予定の領域に残存するようにパターニングする。このとき、ゲート電極が形成される予定の領域は、1個のフィールド絶縁膜4に対し4箇所存在し、外側2個がセレクトトランジスタST_rとなり、内側2個がメモリセルトランジスタMT_rとなる。

【0063】

そして、図9（c）及び図13（b）に示すように、レジスト8をマスクとして、シリコン窒化膜7、ポリシリコン膜6及びトンネルゲート酸化膜5をフィールド絶縁膜4に垂直な方向に順次エッチングする。更に、露出したP型ウェル5にN型不純物、例えばヒ素（As）を50 keVの注入エネルギー、 10^{15} 原子/cm²程度のドーズ量でイオン注入することにより、活性領域としてN⁺拡散層9を形成する。N⁺拡散層9のうち、図9（c）におけるN⁺拡散層9aはソース拡散層となり、N⁺拡散層9bはドレイン拡散層となる。

【0064】

次に、全面にシリコン窒化膜を、例えば1000乃至2000 Å程度の厚さで堆積し、これに異方性エッチングを施すことにより、図10（a）に示すように、残存するポリシリコン膜6等の側方に窒化膜からなるサイドウォール10を形

成する。更に、全面にシリコン酸化膜 1 1 を、例えば 3 0 0 0 乃至 5 0 0 0 Å 程度の厚さで堆積し、これをポリシリコン膜 6 上のシリコン窒化膜 7 が露出するまで CMP 技術によるエッチングにより除去する。なお、図 9 (c) に示す先のヒ素のイオン注入時において、注入エネルギーを 4 0 k e V、ドーズ量を $1 0^{13}$ 原子 / cm^2 とし、サイドウォール 1 0 の形成後に、更にヒ素を、例えば 5 0 k e V の注入エネルギー、 $1 0^{15}$ 原子 / cm^2 のドーズ量でイオン注入することによりソース及びドレインを LDD 構造としてもよい。

【 0 0 6 5 】

次いで、図 1 0 (b) に示すように、全面にフォトレジスト 2 3 を形成し、 N^+ 拡散層 9 a 上のフォトレジスト 1 2 a をリソグラフィ技術によってパターンニングする。そして、フォトレジスト 1 2 a をマスクとして、露出したシリコン酸化膜 1 1 をエッチングにより除去する。

【 0 0 6 6 】

その後、図 1 0 (c) に示すように、全面にフォトレジスト 1 2 b を形成し、メモリセルトランジスタ M T r が形成される予定の領域内のフォトレジスト 1 2 b をリソグラフィ技術によってパターンニングする。そして、フォトレジスト 1 2 b をマスクとして、露出したシリコン窒化膜 7 をエッチングにより除去する。

【 0 0 6 7 】

次に、図 1 1 (a) に示すように、フォトレジスト 1 2 b を剥離し、全面にポリシリコン膜 1 3 を減圧 CVD 法により堆積する。ポリシリコン膜 1 3 の膜厚は、例えば 1 0 0 0 乃至 2 0 0 0 Å 程度である。次いで、ポリシリコン膜 1 3 に、例えばリンを熱拡散又はイオン注入法等によりドーピングすることにより、ポリシリコン膜 1 3 を低抵抗化する。

【 0 0 6 8 】

続いて、図 1 4 (a) に示すように、ポリシリコン膜 1 3 上にフォトレジスト 1 4 を形成し、これを平面視で 1 個のフィールド絶縁膜 4 について内側 2 個のポリシリコン膜 6 と交差するスリット状の開口部 1 4 a を有する形状にリソグラフィ技術によりパターンニングする。そして、フォトレジスト 1 4 をマスクとして、フィールド絶縁膜 4 上のポリシリコン膜 6 及び 1 3 をスリット状にエッチングに

より除去する。

【0069】

次に、図11(a)に示すように、全面に第1のHTO膜、シリコン窒化膜及び第2のHTO膜を順次堆積することにより、ONO膜15を形成する。ONO膜15は、メモリセルトランジスタにおけるフローティングゲートとコントロールゲートとの間の絶縁膜となる。第1のHTO膜は、高温の減圧CVD法により、例えば60Å程度の厚さに形成することができる。シリコン窒化膜は、減圧CVD法により、例えば80Å程度の厚さに形成することができる。第2のHTO膜は、高温の減圧CVD法により、例えば100Å程度の厚さに形成することができる。

【0070】

次いで、図11(b)に示すように、フォトレジスト12aと同様の形状のフォトレジスト25をONO膜15上に形成し、これをマスクとして N^+ 拡散層9a上のONO膜15をエッチングにより除去する。更に、フォトレジスト25をマスクとして、ポリシリコン膜13に、例えばリンを熱拡散又はイオン注入法等により再度ドーピングすることにより、ポリシリコン膜13をより低抵抗化する。このときの注入エネルギーは、例えば40keVであり、ドーズ量は、例えば 10^{14} 原子/cm²である。この部分のポリシリコン膜13が共通ソースコンタクトとなる。

【0071】

更に、図11(c)に示すように、全面にポリシリコン膜16を減圧CVD法により堆積する。ポリシリコン膜16の厚さは、例えば1000乃至2000Å程度である。次いで、ポリシリコン膜16に、例えばリンを熱拡散又はイオン注入法等によりドーピングすることにより、ポリシリコン膜16を低抵抗化する。その後、タンゲステンシリサイド(WSi)膜を形成することにより、ゲートをポリサイド構造としてもよい。

【0072】

次いで、図12(a)に示すように、ポリシリコン膜16上にフォトレジスト26を形成し、このフォトレジスト26をメモリセルトランジスタMT_r上から

セレクトトランジスタ STr までかかり、更に N^+ 拡散層 9 a 上のポリシリコン膜 1 6 を覆う形状に残存するようにパターニングする。

【 0 0 7 3 】

そして、図 1 2 (b) 及び図 1 4 (b) に示すように、フォトレジスト 2 6 をマスクとして、ポリシリコン膜 1 6、ONO 膜 1 5 及びポリシリコン膜 1 3 を順次エッチングにより除去する。図 1 4 (b) において、点線で囲まれている領域内でメモリセルトランジスタ MTr のフローティングゲートとコントロールゲートとが重なり合っている。

【 0 0 7 4 】

ここで、周辺回路領域で論理回路を構成するトランジスタのゲート電極（図示せず）を通常の方法により形成し、周辺回路領域に低濃度のイオン注入を行う。

【 0 0 7 5 】

その後、全面にシリコン酸化膜を堆積し、これをエッチバックすることにより、周辺回路領域におけるゲート電極の側方にサイドウォール（図示せず）を形成する。これと同時に、図 1 2 (b) に示すように、ポリシリコン膜 1 6、ONO 膜 1 5 及びポリシリコン膜 1 3 の側方に酸化膜からなるサイドウォール 1 8 が形成される。更に、周辺回路領域において、サイドウォールをマスクとして高濃度のイオン注入を行うことにより、LDD 構造のトランジスタを形成する。

【 0 0 7 6 】

更に、図 1 2 (c) に示すように、全面に CVD 法により、例えば BP SG 膜からなる層間絶縁膜 1 9 を堆積する。層間絶縁膜 1 9 の厚さは、例えば 8 0 0 0 乃至 1 0 0 0 0 Å 程度である。次に、図 1 5 に示すように、層間絶縁膜 1 9 及びシリコン酸化膜 1 1 に N^+ 拡散層 9 b まで達するコンタクトホール 2 0 を形成し、このコンタクトホール 2 0 内に配線層 2 1 を埋め込み、更に横方向で配線層 2 1 を共通接続する配線層 2 2 をビット線 BL として形成する。配線層 2 1 及び 2 2 は、例えばアルミニウム合金からなり、配線層 2 2 の厚さは、例えば 4 0 0 0 乃至 6 0 0 0 Å 程度である。ソースは N^+ 拡散層 9 a により共通にソース線を形成している。また、列方向（図 1 2 (c) では横方向）で隣り合うメモリセルトランジスタ間で N^+ 拡散層 9 b 及び配線層 2 1 が共有されている。

【 0 0 7 7 】

また、コンタクトホール 2 0 を形成すると同時に、数ビットおきにソースとなる N^+ 拡散層 9 a にもコンタクトホール（図示せず）を開口し、配線層 2 1 で埋め込む。配線層 2 2 の座を設けておき、更に全面に層間絶縁膜を形成し、この層間絶縁膜に先のソース領域上に形成した配線層 2 2 の座に到達するようにコンタクトホール 2 3 を形成し、配線層（図示せず）で埋め込み、配線層で共通接続することにより、 N^+ 拡散層のみで形成した場合よりも、共通ソース線の抵抗を下げることも可能である。

【 0 0 7 8 】

その後、全面を P S G 等のパッシベーション膜で被覆する。

【 0 0 7 9 】

このような第 2 の実施例によれば、第 1 の実施例による効果の他に、セレクトトランジスタ S T r のソースコンタクトをメモリセルトランジスタ M T r のフローティングゲートの一部及びコントロールゲートの形成と同時に形成しているので、工程数を低減できるという効果が得られる。

【 0 0 8 0 】

次に、本発明の第 3 の実施例について説明する。図 1 6 (a) 乃至 (c) 、図 1 7 (a) 乃至 (c) 及び図 1 8 (a) 乃至 (c) は本発明の第 3 の実施例に係る不揮発性半導体記憶装置の製造方法を工程順に示す断面図である。また、図 1 9 (a) 及び (b) 並びに図 2 0 (a) 乃至 (c) は本発明の第 3 の実施例に係る不揮発性半導体記憶装置の製造方法を工程順に示すレイアウト図である。なお、図 1 6 乃至図 1 8 に示す断面図は、図 1 9 及び図 2 0 中の C - C 線に沿った位置の断面を示している。

【 0 0 8 1 】

第 3 の実施例においては、先ず、図 1 6 (a) に示すように、P 型シリコン基板 1 の表面にシリコン酸化膜 2 を形成する。次いで、例えばホウ素 (B) を 1 0 0 k e V 程度の注入エネルギー、 $1 0^{13}$ 原子 / $c m^2$ 程度のドーズ量で P 型シリコン基板 1 にイオン注入する。続けて、1 0 0 0 ° C 程度の温度で熱処理する。

【 0 0 8 2 】

この結果、図 1 6 (b) に示すように、シリコン酸化膜 2 の下に P ウェル 3 が形成される。この P ウェル 3 にメモリセルアレイが形成される。次に、P 型シリコン基板 1 の表面に複数の素子分離用のフィールド絶縁膜 4 をワード線 WL に直交するように形成する。このとき、フィールド絶縁膜 4 は、図 1 9 (a) に示すように、例えば縦横に規則的に配置してもよく、図 2 1 (a) に示すように、横方向に延びる線状に規則的に配置してもよい。また、フィールド絶縁膜 4 の厚さは、例えば 4 0 0 0 乃至 8 0 0 0 Å 程度である。更に、P 型シリコン基板 1 の表面を 8 0 0 乃至 9 0 0 °C 程度で熱酸化することにより、活性領域となる領域に厚さが、例えば 1 0 0 Å 程度のトンネルゲート酸化膜 5 を形成する。次いで、トンネルゲート酸化膜 5 上にポリシリコン膜 6 を減圧 C V D 法により堆積する。ポリシリコン膜 6 の膜厚は、例えば 1 0 0 0 乃至 2 0 0 0 Å 程度であり、後の工程によりセレクトトランジスタ S T r のフローティングゲートの一部及びメモリセルトランジスタ M T r のゲートとなる。次いで、ポリシリコン膜 6 に、例えばリンを熱拡散又はイオン注入法等によりドーピングすることにより、ポリシリコン膜 6 を低抵抗化する。その後、ポリシリコン膜 6 上にシリコン窒化膜 7 を減圧 C V D 法により堆積する。シリコン窒化膜 7 の厚さは、例えば 1 0 0 0 乃至 2 0 0 0 Å 程度である。続いて、シリコン窒化膜 7 上にフォトレジスト 2 7 を形成し、これをリソグラフィ技術によってメモリセルトランジスタ M T r のゲートとなるポリシリコン膜 7 の両側方に開口部を有する形状にパターンニングする。なお、2 個のメモリトランジスタ間に位置する開口部の幅は、メモリトランジスタ M T r とセレクトトランジスタ S T r との間に位置する開口部の幅よりも広く、後の工程で形成されるサイドウォールによってもポリシリコン膜 6 間が埋め込まれない程度のものである。一方、メモリトランジスタ M T r とセレクトトランジスタ S T r との間に位置する開口部の幅は後の工程で形成されるサイドウォールによってポリシリコン膜 6 間が埋め込まれる程度のものである。

【 0 0 8 3 】

そして、図 1 6 (c) 及び図 1 9 (b) に示すように、フォトレジスト 2 7 をマスクとして、シリコン窒化膜 7、ポリシリコン膜 6 及びトンネルゲート酸化膜 5 をフィールド絶縁膜 4 に垂直な方向に順次エッチングする。次いで、フォトレ

ジスト 2 7 を剥離した後、ヒ素 (A s) のイオン注入を行うことにより、 N^+ 拡散層 9 を形成する。このうち、中央の N^+ 拡散層 9 がソース拡散層となる。なお、A s のイオン注入の注入エネルギーは、例えば 5 0 k e V であり、ドーズ量は、例えば $1 0^{15}$ 原子 / $c m^2$ である。

【 0 0 8 4 】

続いて、全面にシリコン窒化膜を堆積し、これを異方性エッチングすることにより、図 1 7 (a) に示すように、サイドウォール 2 8 をポリシリコン膜 6 等の側方に形成する。このとき、中央の溝はサイドウォール 2 8 によっては埋め込まれないが、両側の溝はサイドウォール 2 8 によって埋め込まれる。なお、サイドウォール 2 8 は、第 1 の実施例と同様に、全面にシリコン酸化膜を堆積し、これを CMP 技術により平坦化し、ソースコンタクト部のみ酸化膜をエッチングにより除去することによって形成してもよい。

【 0 0 8 5 】

次に、図 1 7 (b) に示すように、フォトレジスト 2 9 を形成し、これをソースが共通接続される 2 個のセレクトトランジスタ S T r のドレイン間に残存するようにパターニングする。つまり、メモリセルトランジスタ M T r のゲート及びドレインとなる領域のフォトレジスト 2 9 は除去される。そして、フォトレジスト 2 9 をマスクとしてシリコン窒化膜 7 をエッチングにより除去する。

【 0 0 8 6 】

続いて、フォトレジスト 2 9 を剥離し、図 1 7 (c) に示すように、全面にポリシリコン膜 1 3 を減圧 C V D 法により堆積する。ポリシリコン膜 1 3 の膜厚は、例えば 1 0 0 0 乃至 2 0 0 0 Å 程度である。次いで、ポリシリコン膜 1 3 に、例えばリンを熱拡散又はイオン注入法等によりドーピングすることにより、ポリシリコン膜 1 3 を低抵抗化する。

【 0 0 8 7 】

続いて、図 2 0 (a) に示すように、ポリシリコン膜 1 3 上にフォトレジスト 1 4 を形成し、これを平面視で 1 個のフィールド絶縁膜 4 について内側の広いポリシリコン膜 6 と交差するスリット状の開口部 1 4 a を有する形状にリソグラフィ技術によりパターニングする。そして、フォトレジスト 1 4 をマスクとして、

フィールド絶縁膜 4 上のポリシリコン膜 6 及び 1 3 をスリット状にエッチングにより除去する。

【 0 0 8 8 】

次に、図 1 7 (c) に示すように、全面に第 1 の H T O 膜、シリコン窒化膜及び第 2 の H T O 膜を順次堆積することにより、O N O 膜 1 5 を形成する。O N O 膜 1 5 は、メモリセルトランジスタ M T r におけるフローティングゲートとコントロールゲートとの間の絶縁膜となる。第 1 の H T O 膜は、高温の減圧 C V D 法により、例えば 6 0 Å 程度の厚さに形成することができる。シリコン窒化膜は、減圧 C V D 法により、例えば 8 0 Å 程度の厚さに形成することができる。第 2 の H T O 膜は、高温の減圧 C V D 法により、例えば 1 0 0 Å 程度の厚さに形成することができる。

【 0 0 8 9 】

次いで、ソースコンタクトとなる領域のポリシリコン膜 1 3 上に開口部を有するフォトレジスト 3 0 をマスクとして、O N O 膜 1 5 をエッチングにより除去する。更に、フォトレジスト 3 0 をマスクとして、ポリシリコン膜 1 3 に、例えばリンを熱拡散又はイオン注入法等により再度ドーピングすることにより、ポリシリコン膜 1 3 をより低抵抗化する。このときの注入エネルギーは、例えば 4 0 k e V であり、ドーズ量は、例えば $1 0^{14}$ 原子 / cm^2 である。

【 0 0 9 0 】

続いて、図 1 8 (a) 及び図 2 0 (b) に示すように、全面にポリシリコン膜 1 6 を減圧 C V D 法により堆積する。ポリシリコン膜 1 6 の厚さは、例えば 1 0 0 0 乃至 2 0 0 0 Å 程度である。次いで、ポリシリコン膜 1 6 に、例えばリンを熱拡散又はイオン注入法等によりドーピングすることにより、ポリシリコン膜 1 6 を低抵抗化する。更に、ポリシリコン膜 1 6 上にフォトレジスト 3 1 を形成し、このフォトレジスト 3 1 をメモリセルトランジスタ M T r 上からセレクトトランジスタ S T r までかかり、更にソースコンタクトとなる領域のポリシリコン膜 1 6 を覆う形状に残存するようにパターニングする。なお、リンのドーピングの後にタングステンシリサイド (W S i) 膜を形成することにより、ゲートをポリサイド構造としてもよい。

【 0 0 9 1 】

そして、図 1 8 (b) 及び図 2 0 (c) に示すように、フォトレジスト 3 1 をマスクとして、ポリシリコン膜 1 6、ON O 膜 1 5 及びポリシリコン膜 1 3 を順次エッチングにより除去する。図 2 0 (c) において、点線で囲まれている領域内でメモリセルトランジスタ M T r のフローティングゲートとコントロールゲートとが重なり合っている。

【 0 0 9 2 】

ここで、周辺回路領域で論理回路を構成するトランジスタのゲート電極（図示せず）を通常の方法により形成し、周辺回路領域に低濃度のイオン注入を行う。これと同時に、図 1 8 (b) に示すように、メモリセルトランジスタのドレインに N 型拡散層 3 2 が形成される。

【 0 0 9 3 】

その後、全面にシリコン酸化膜を堆積し、これをエッチバックすることにより、周辺回路領域におけるゲート電極の側方にサイドウォール（図示せず）を形成する。これと同時に、図 1 8 (b) に示すように、ポリシリコン膜 1 6、ON O 膜 1 5、ポリシリコン膜 1 3 及びポリシリコン膜 6 の側方に酸化膜からなるサイドウォール 1 8 及び 3 3 が形成される。更に、周辺回路領域において、サイドウォールをマスクとして高濃度のイオン注入を行うことにより、L D D 構造のトランジスタを形成する。

【 0 0 9 4 】

更に、図 1 8 (c) に示すように、全面に C V D 法により、例えば B P S G 膜からなる層間絶縁膜 1 9 を堆積する。層間絶縁膜 1 9 の厚さは、例えば 8 0 0 0 乃至 1 0 0 0 0 Å 程度である。次に、層間絶縁膜 1 9 に N 型拡散層 3 2 まで達するコンタクトホール 2 0 を形成し、このコンタクトホール 2 0 内に配線層 2 1 を埋め込み、更に横方向で配線層 2 1 を共通接続する配線層 2 2 をビット線 B L として形成する。配線層 2 1 及び 2 2 は、例えばアルミニウム合金からなり、配線層 2 2 の厚さは、例えば 4 0 0 0 乃至 6 0 0 0 Å 程度である。

【 0 0 9 5 】

更に、全面に層間絶縁膜を形成し、この層間絶縁膜、層間絶縁膜 1 9 及びシリ

コン酸化膜 1 1 に N^+ 拡散層 9 a まで達するコンタクトホール（図示せず）を形成する。このコンタクトホール 2 3 は、数ビットおき、即ち縦方向で数個のフィールド絶縁膜 4 を間におきながら形成する。そして、このコンタクトホール内に配線層（図示せず）を埋め込み、更に縦方向でこの配線層を共通接続する配線層（図示せず）をソース線 S L として形成する。

【 0 0 9 6 】

その後、全面を P S G 等のパッシベーション膜で被覆する。

【 0 0 9 7 】

このような第 3 の実施例によっても、第 2 の実施例と同様に、第 1 の実施例による効果の他に、セレクトトランジスタ S T r のソースコンタクトをメモリセルトランジスタ M T r のフローティングゲートの一部及びコントロールゲートの形成と同時に形成しているので、工程数を低減できるという効果が得られる。

【 0 0 9 8 】

なお、図 2 1 （ a ）に示すようにライン状のフィールド絶縁膜 4 a を形成した場合には、第 1 及び第 2 の実施例では、図 2 1 （ b ）に示すように、第 3 の実施例では、図 2 1 （ c ）に示すように、第 1 層目のポリシリコン膜をパターニングすればよい。

【 0 0 9 9 】

【発明の効果】

以上詳述したように、本発明によれば、フローティングゲート及びコントロールゲートがメモリセルトランジスタのゲートの上方まで延出するので、フローティングゲート及びコントロールゲート間に大きな結合容量を確保することができる。これにより、誤動作を防止しながら動作電圧を低下させることができる。また、ユニットセルには、メモリセルトランジスタ及びセレクトトランジスタが設けられているが、これらのゲートはセルフアライメントによるパターニングで形成することが可能であるため、目ずれ等による特性のばらつき及び製造ばらつきを防止することができる。

【図面の簡単な説明】

【図 1】

本発明の実施例により製造する不揮発性半導体記憶装置を示す回路図である。

【図 2】

(a) 乃至 (c) は本発明の第 1 の実施例に係る不揮発性半導体記憶装置の製造方法を工程順に示す断面図である。

【図 3】

(a) 乃至 (c) は、同じく本発明の第 1 の実施例に係る不揮発性半導体記憶装置の製造方法を工程順に示す図であって、図 2 (a) 乃至 (c) に示す工程の次工程を示す断面図である。

【図 4】

(a) 乃至 (c) は、同じく本発明の第 1 の実施例に係る不揮発性半導体記憶装置の製造方法を工程順に示す図であって、図 3 (a) 乃至 (c) に示す工程の次工程を示す断面図である。

【図 5】

(a) 及び (b) は本発明の第 1 の実施例に係る不揮発性半導体記憶装置の製造方法を工程順に示すレイアウト図である。

【図 6】

(a) 及び (b) は、同じく本発明の第 1 の実施例に係る不揮発性半導体記憶装置の製造方法を工程順に示す図であって、図 5 (a) 及び (b) に示す工程の次工程を示すレイアウト図である。

【図 7】

同じく本発明の第 1 の実施例に係る不揮発性半導体記憶装置の製造方法を工程順に示す図であって、図 6 (a) 及び (b) に示す工程の次工程を示すレイアウト図である。

【図 8】

第 1 の実施例及び図 2 2 及び図 2 3 に示す従来の方法により製造された不揮発性半導体記憶装置におけるコントロールゲートとフローティングゲートとの重なりを比較するレイアウト図である。

【図 9】

(a) 乃至 (c) は本発明の第 2 の実施例に係る不揮発性半導体記憶装置の製

造方法を工程順に示す断面図である。

【図 1 0】

(a) 乃至 (c) は、同じく本発明の第 2 の実施例に係る不揮発性半導体記憶装置の製造方法を工程順に示す図であって、図 9 (a) 乃至 (c) に示す工程の次工程を示す断面図である。

【図 1 1】

(a) 乃至 (c) は、同じく本発明の第 2 の実施例に係る不揮発性半導体記憶装置の製造方法を工程順に示す図であって、図 1 0 (a) 乃至 (c) に示す工程の次工程を示す断面図である。

【図 1 2】

(a) 乃至 (c) は、同じく本発明の第 2 の実施例に係る不揮発性半導体記憶装置の製造方法を工程順に示す図であって、図 1 1 (a) 乃至 (c) に示す工程の次工程を示す断面図である。

【図 1 3】

(a) 及び (b) は本発明の第 2 の実施例に係る不揮発性半導体記憶装置の製造方法を工程順に示すレイアウト図である。

【図 1 4】

(a) 及び (b) は、同じく本発明の第 2 の実施例に係る不揮発性半導体記憶装置の製造方法を工程順に示す図であって、図 1 3 (a) 及び (b) に示す工程の次工程を示すレイアウト図である。

【図 1 5】

同じく本発明の第 2 の実施例に係る不揮発性半導体記憶装置の製造方法を工程順に示す図であって、図 1 4 (a) 及び (b) に示す工程の次工程を示すレイアウト図である。

【図 1 6】

(a) 乃至 (c) は本発明の第 3 の実施例に係る不揮発性半導体記憶装置の製造方法を工程順に示す断面図である。

【図 1 7】

(a) 乃至 (c) は、同じく本発明の第 3 の実施例に係る不揮発性半導体記憶

装置の製造方法を工程順に示す図であって、図 1 6 (a) 乃至 (c) に示す工程の次工程を示す断面図である。

【図 1 8】

(a) 乃至 (c) は、同じく本発明の第 3 の実施例に係る不揮発性半導体記憶装置の製造方法を工程順に示す図であって、図 1 7 (a) 乃至 (c) に示す工程の次工程を示す断面図である。

【図 1 9】

(a) 及び (b) は本発明の第 3 の実施例に係る不揮発性半導体記憶装置の製造方法を工程順に示すレイアウト図である。

【図 2 0】

(a) 乃至 (c) は、同じく本発明の第 3 の実施例に係る不揮発性半導体記憶装置の製造方法を工程順に示す図であって、図 1 9 (a) 及び (b) に示す工程の次工程を示すレイアウト図である。

【図 2 1】

ライン状のフィールド絶縁膜を使用した場合の各実施例とポリシリコン膜との関係を示す例圧と図である。

【図 2 2】

(a) 乃至 (c) は 1 個のユニットセルに 1 個のメモリセルトランジスタ及び 1 個のセレクトトランジスタが設けられた従来の不揮発性半導体記憶装置の製造方法を工程順に示す断面図である。

【図 2 3】

図 2 2 (a) 乃至 (c) に示す方法により製造された不揮発性半導体記憶装置を示すレイアウト図である。

【図 2 4】

(a) 乃至 (d) は 1 個のユニットセルに 1 個のメモリセルトランジスタが設けられた従来の不揮発性半導体記憶装置の製造方法を工程順に示す断面図である。

【図 2 5】

図 2 4 (a) 乃至 (d) に示す方法により製造された不揮発性半導体記憶装置

を示すレイアウト図である。

【図 2 6】

特開平 9 - 1 2 9 7 5 9 号公報に記載された従来の半導体不揮発性メモリを示す断面図である。

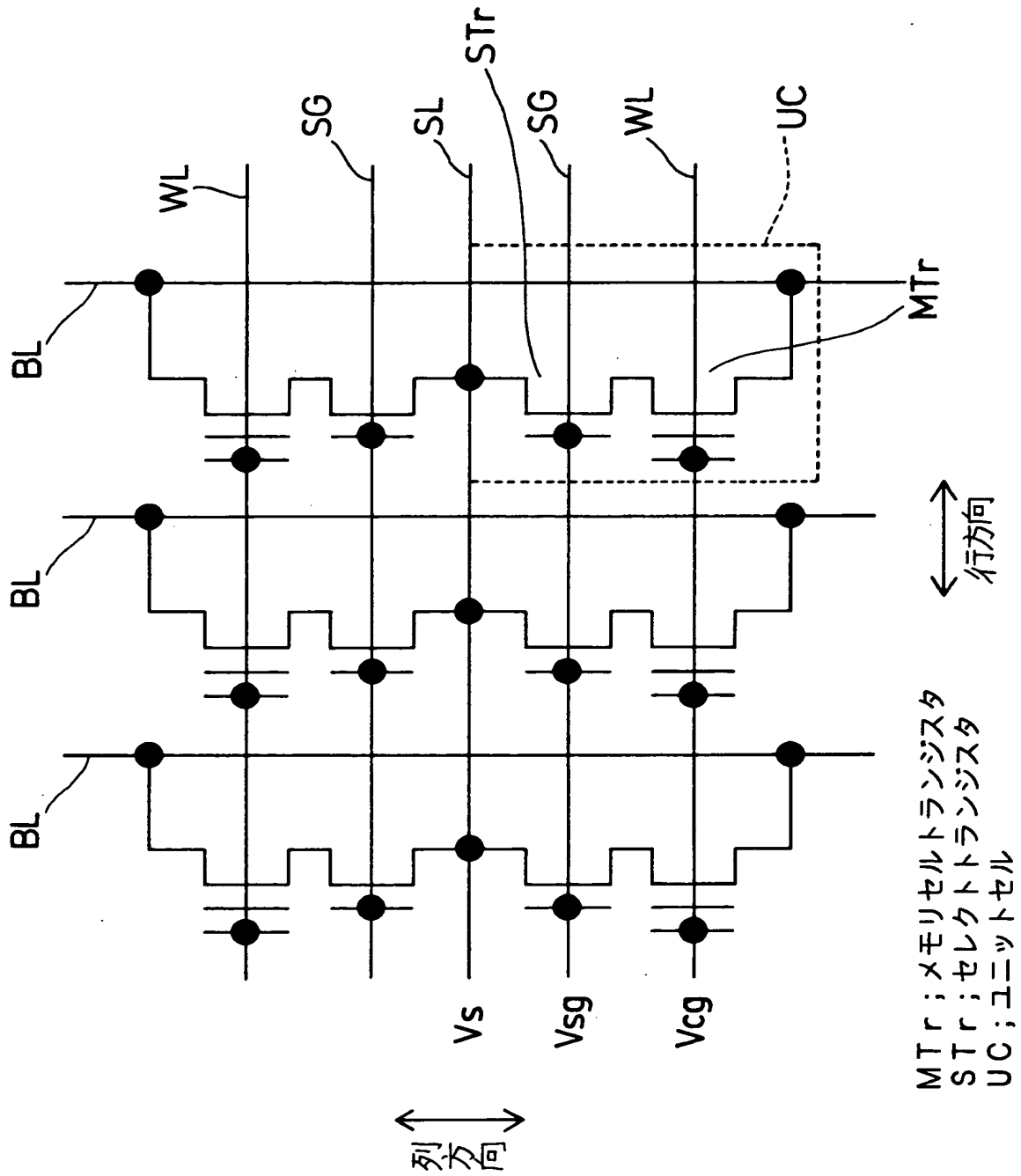
【符号の説明】

- 1 ; P型シリコン基板
- 2、11 ; シリコン酸化膜
- 3 ; ウェル
- 4 ; フィールド絶縁膜
- 5 ; トンネルゲート絶縁膜
- 6、13、16 ; ポリシリコン膜
- 7 ; シリコン窒化膜
- 8、12、12a、12b、14、17、25、26、27、29、30、31 ; フォトレジスト
- 9、9a、9b ; N^+ 拡散層
- 10、18、28、33 ; サイドウォール
- 15 ; ONO膜
- 19 ; 層間絶縁膜
- 20、23 ; コンタクトホール
- 21、22 ; 配線層
- 32 ; N型拡散層
- MTr ; メモリセルトランジスタ
- STr ; セレクトトランジスタ

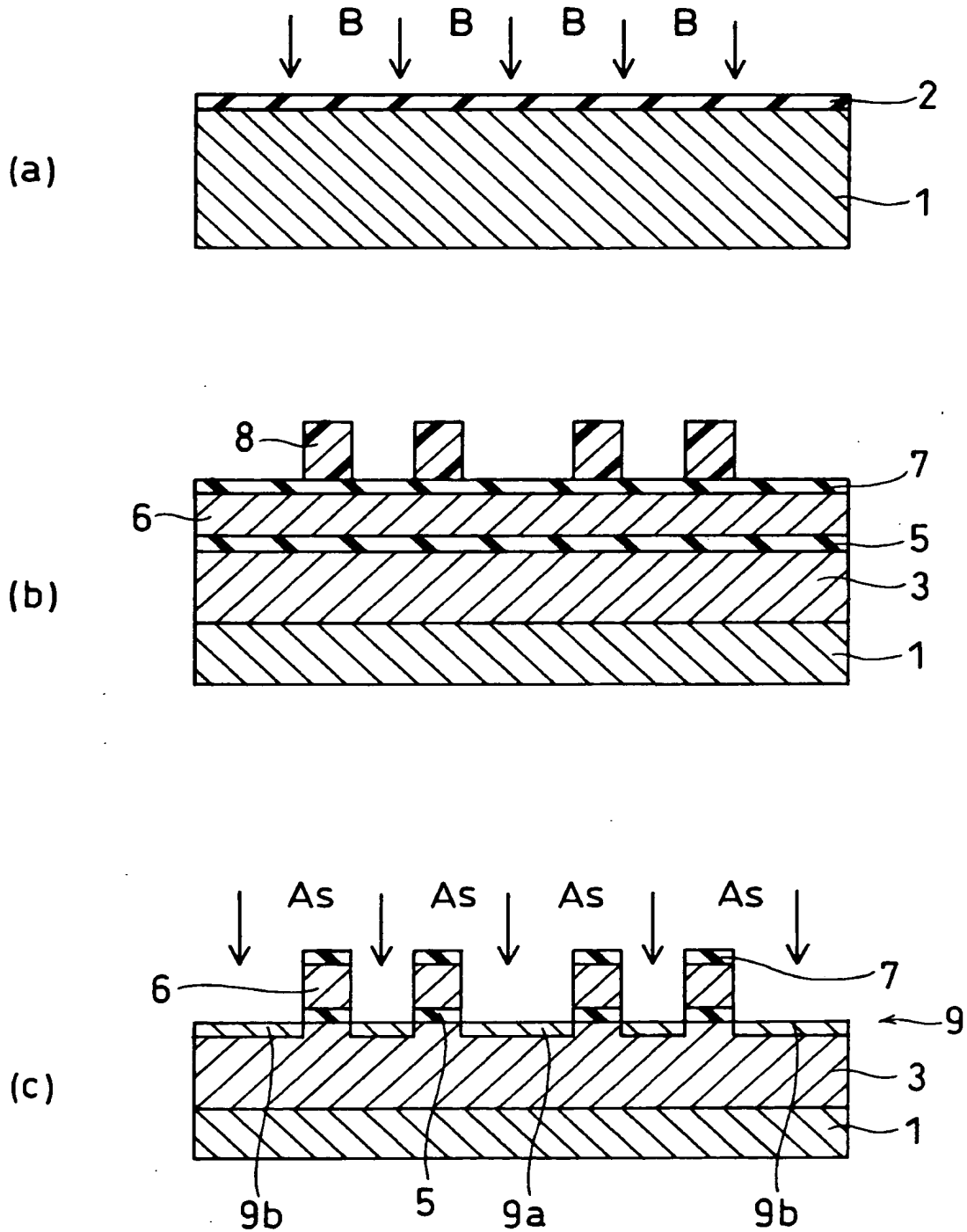
【書類名】

図面

【図1】

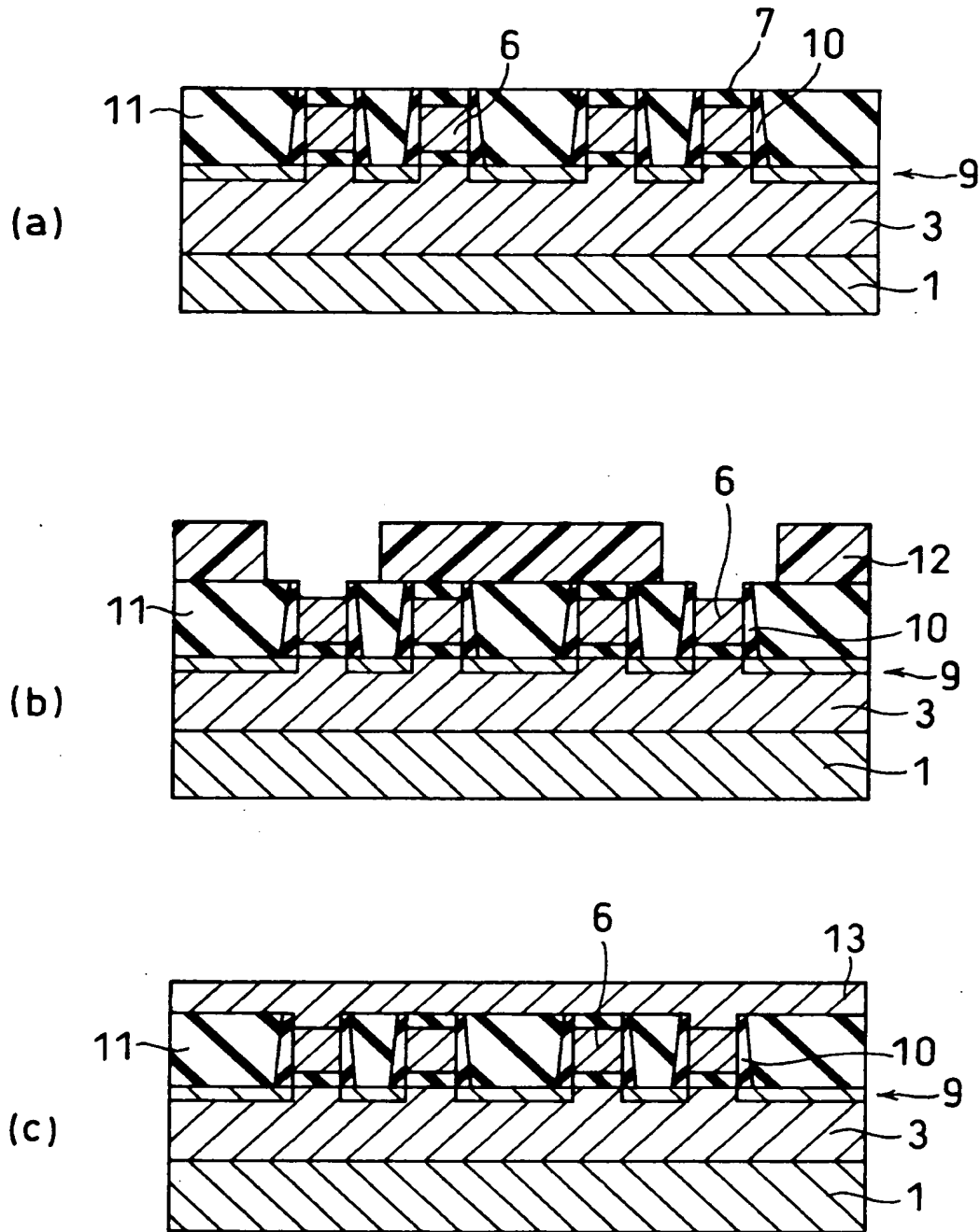


【図 2】



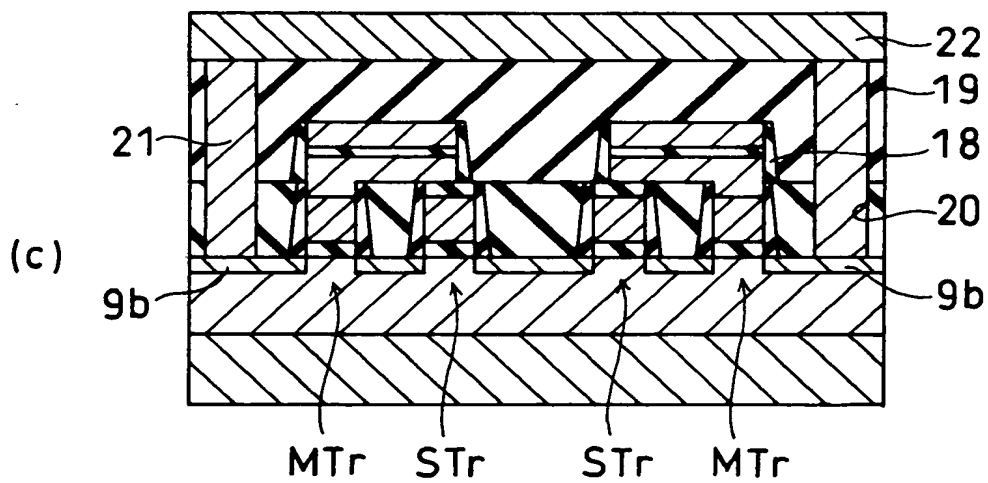
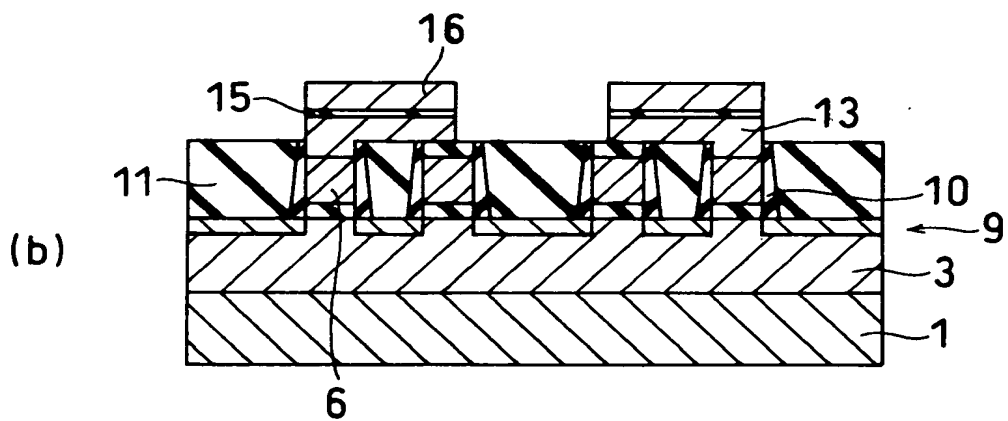
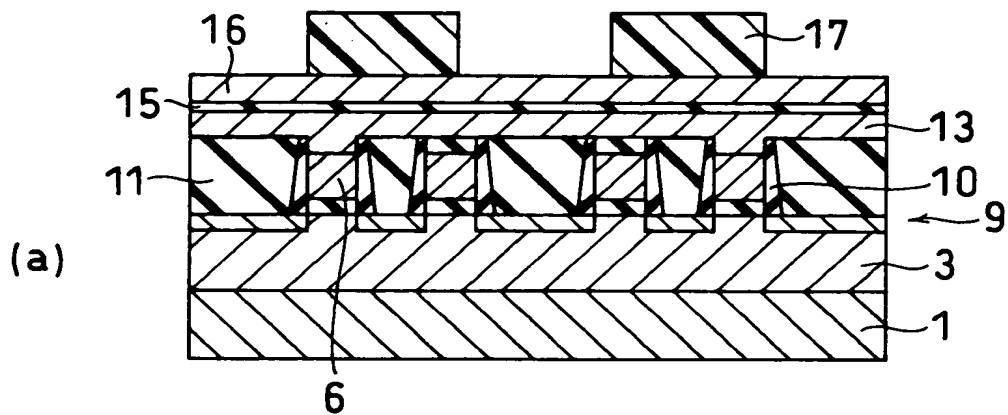
- 1 ; P型シリコン基板
- 3 ; ウェル
- 6 ; ポリシリコン膜
- 7 ; シリコン窒化膜

【図3】



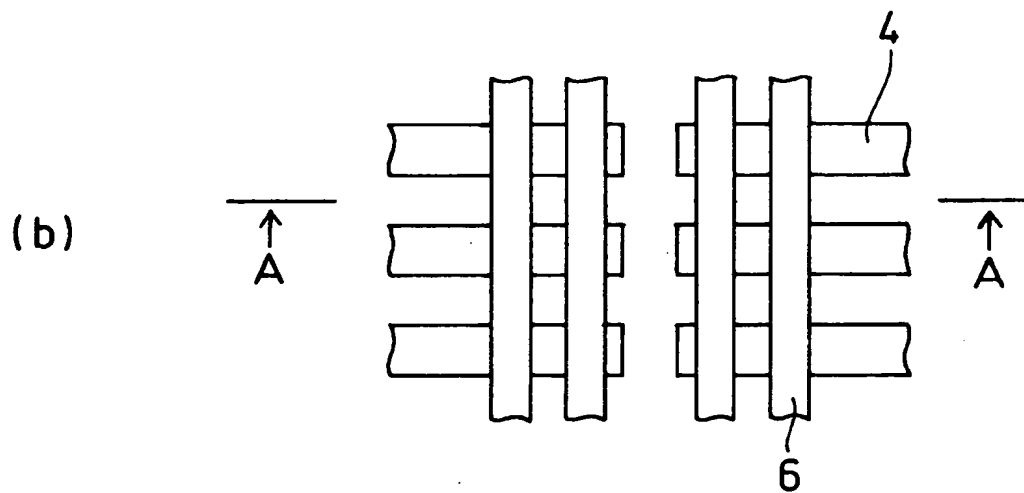
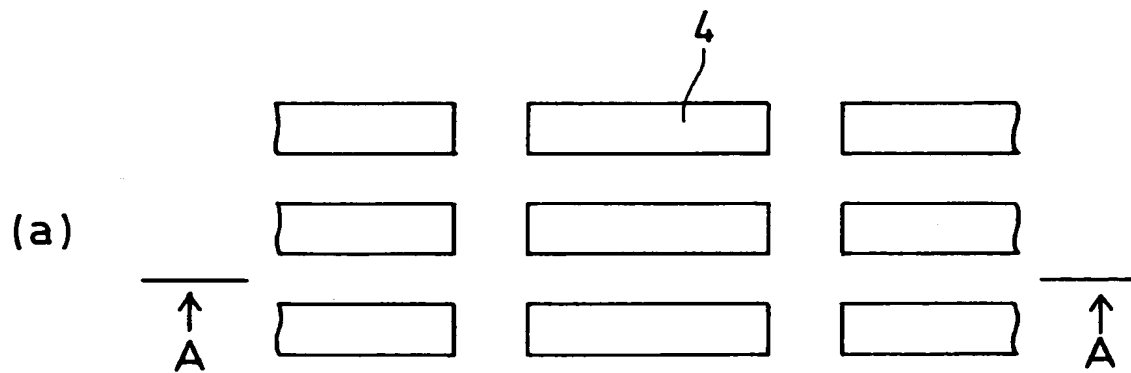
10 ; サイドウォール
 11 ; シリコン酸化膜
 13 ; ポリシリコン膜

【図 4】



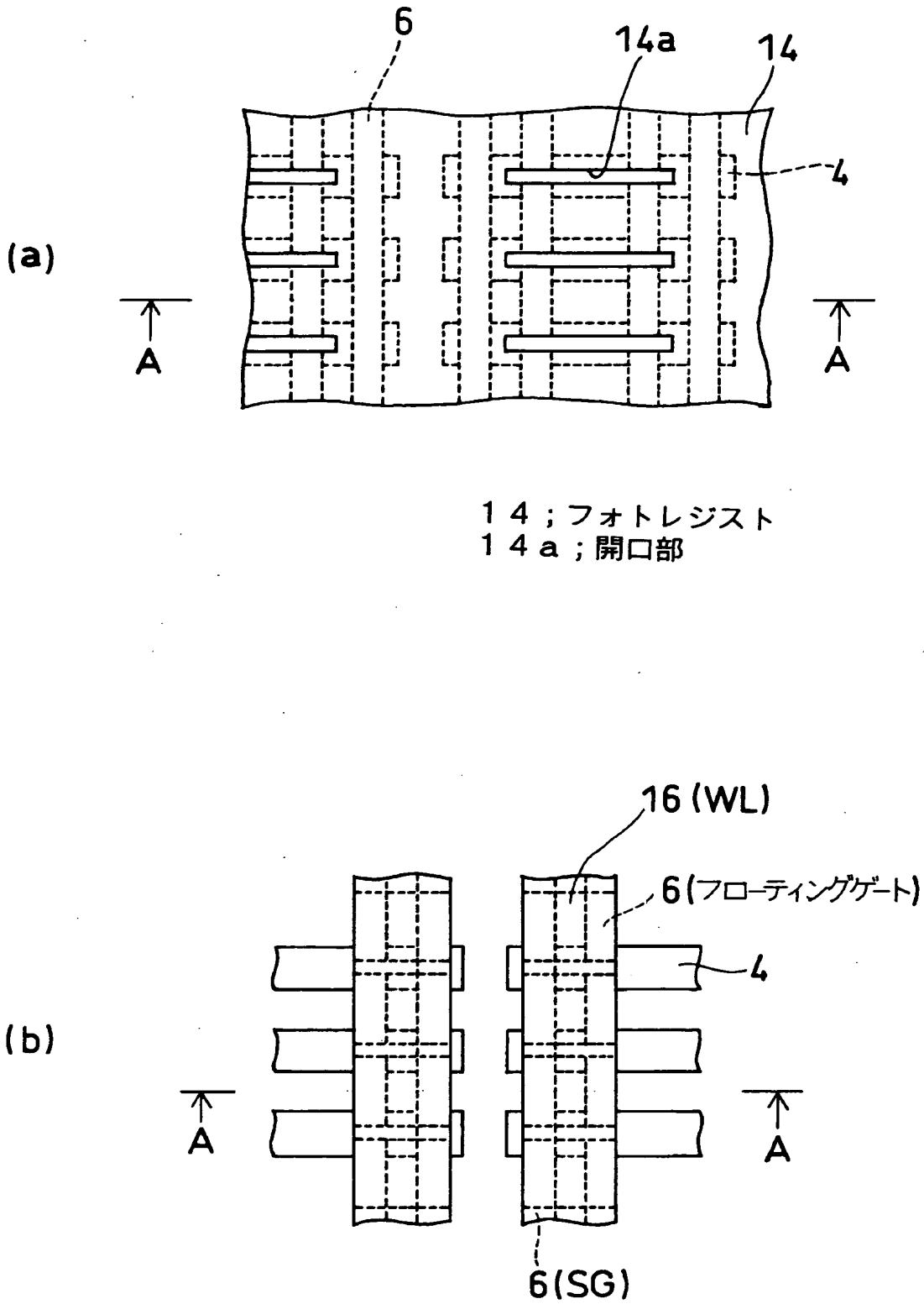
15 ; ONO膜、 16 ; ポリシリコン膜

【図 5】

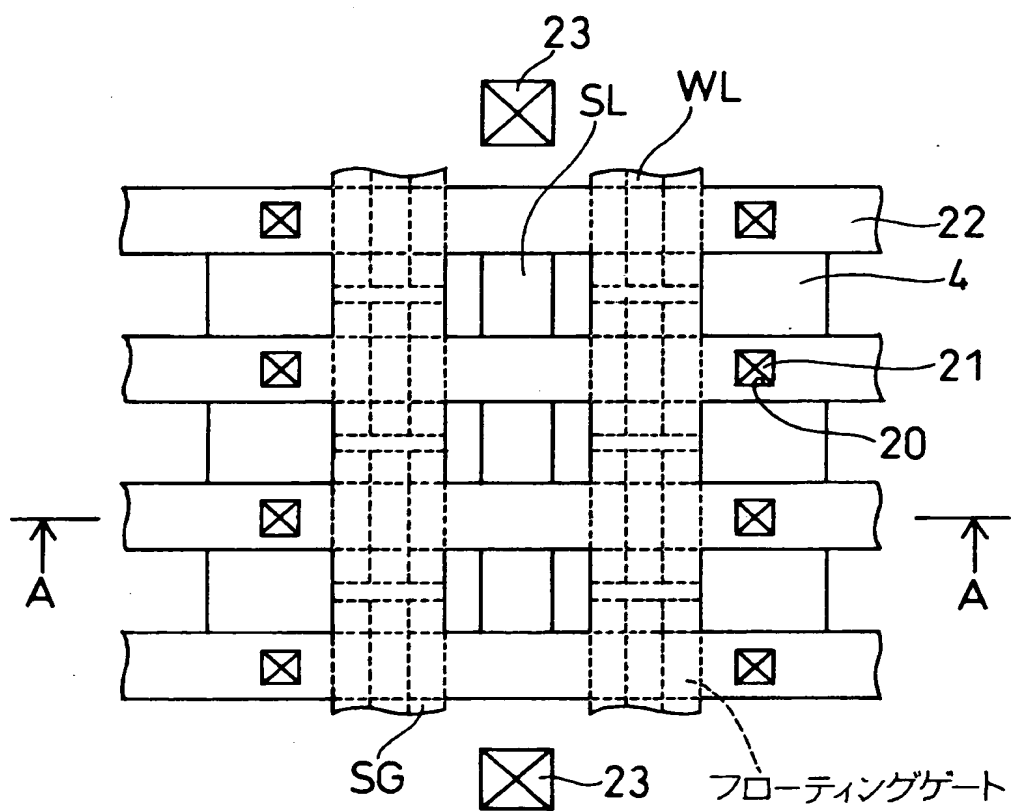


4 ; フィールド絶縁膜
6 ; ポリシリコン膜

【図 6】

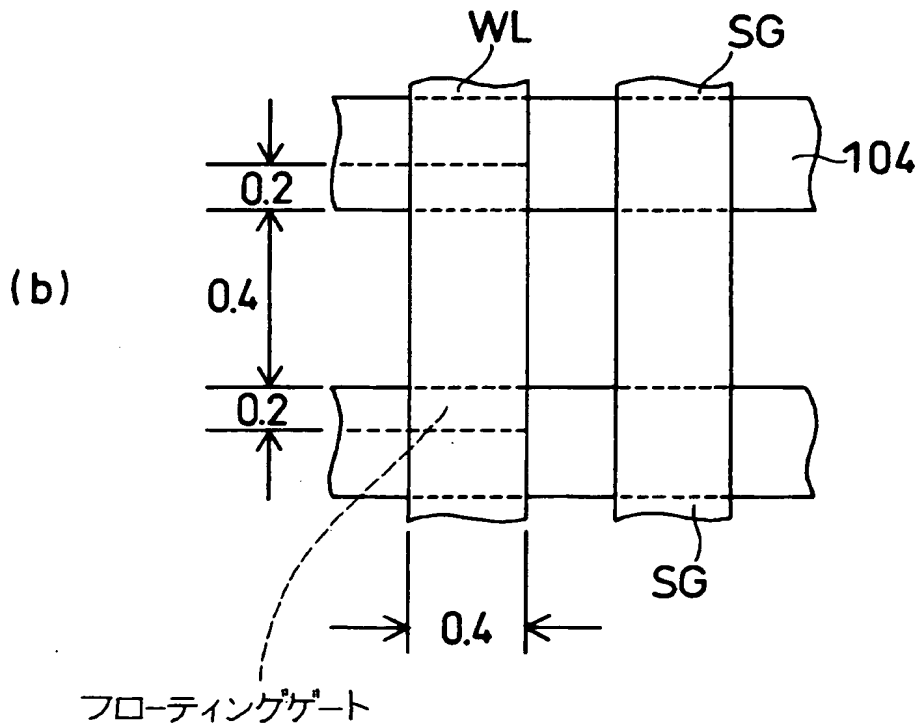
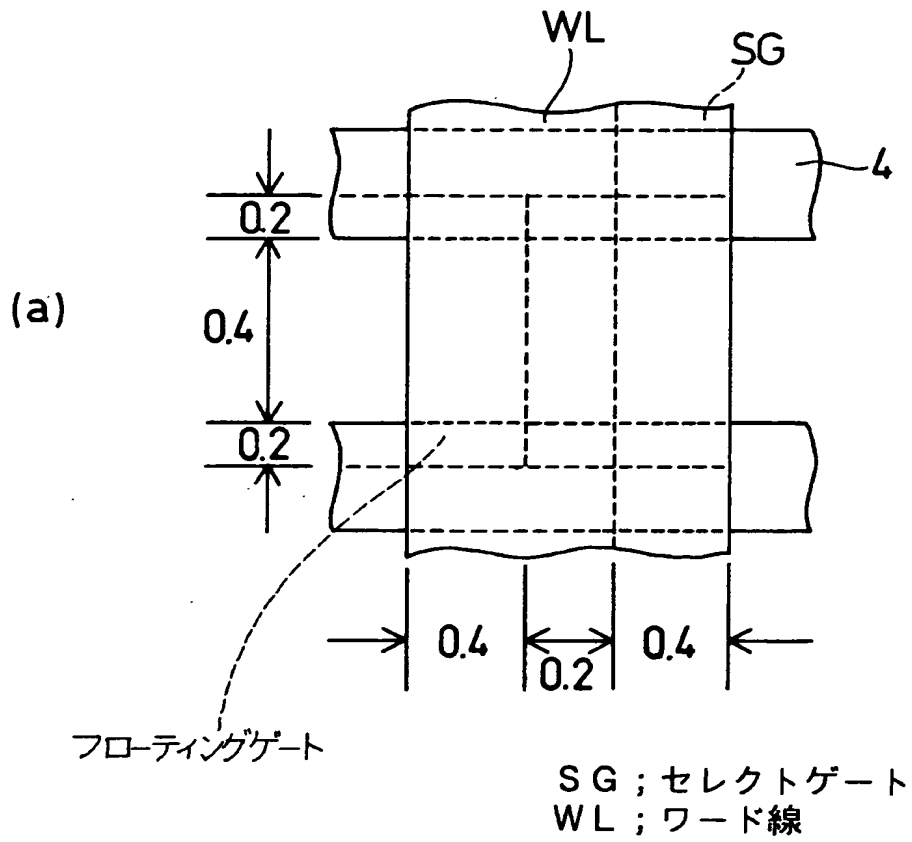


【図7】

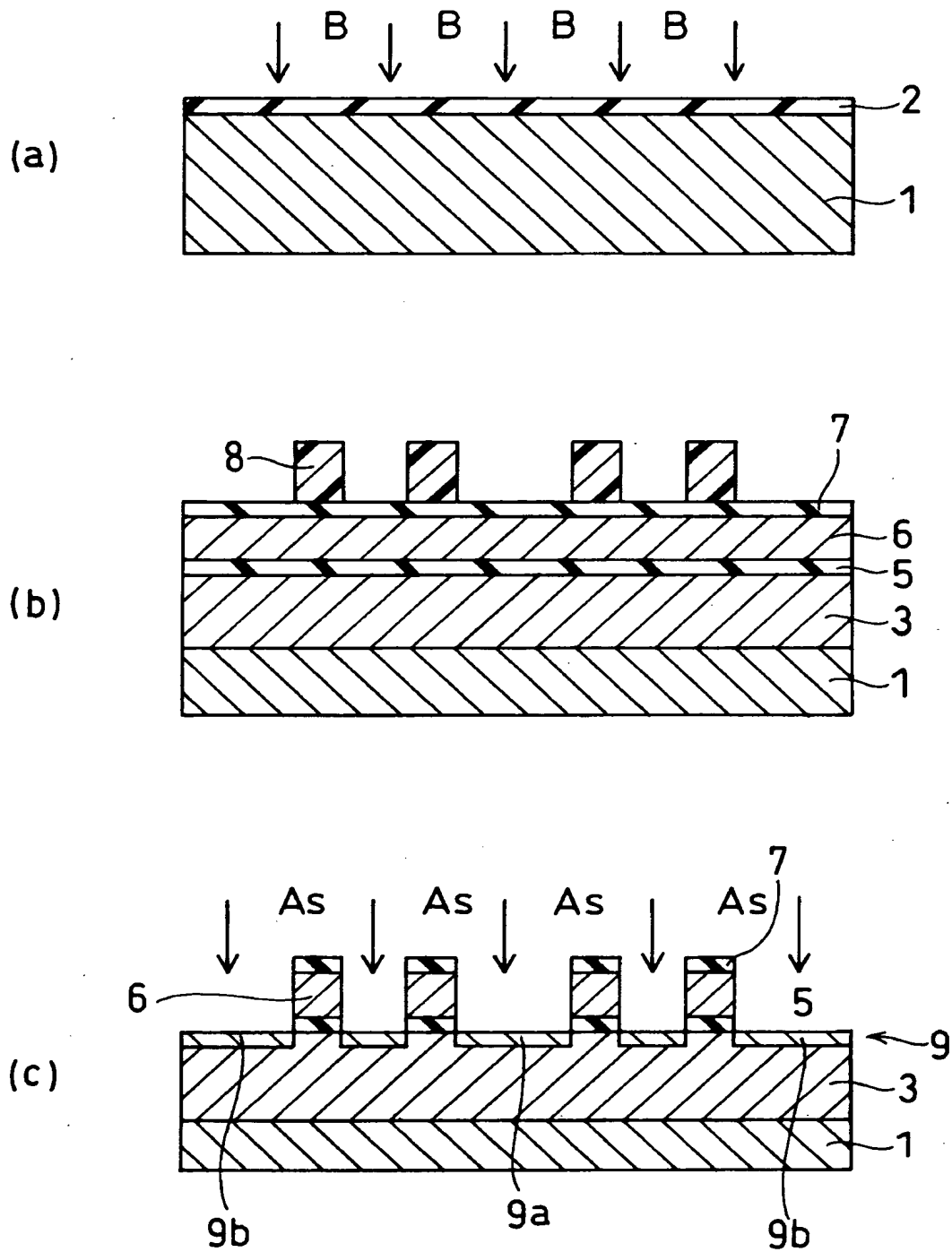


23 ; コンタクトホール

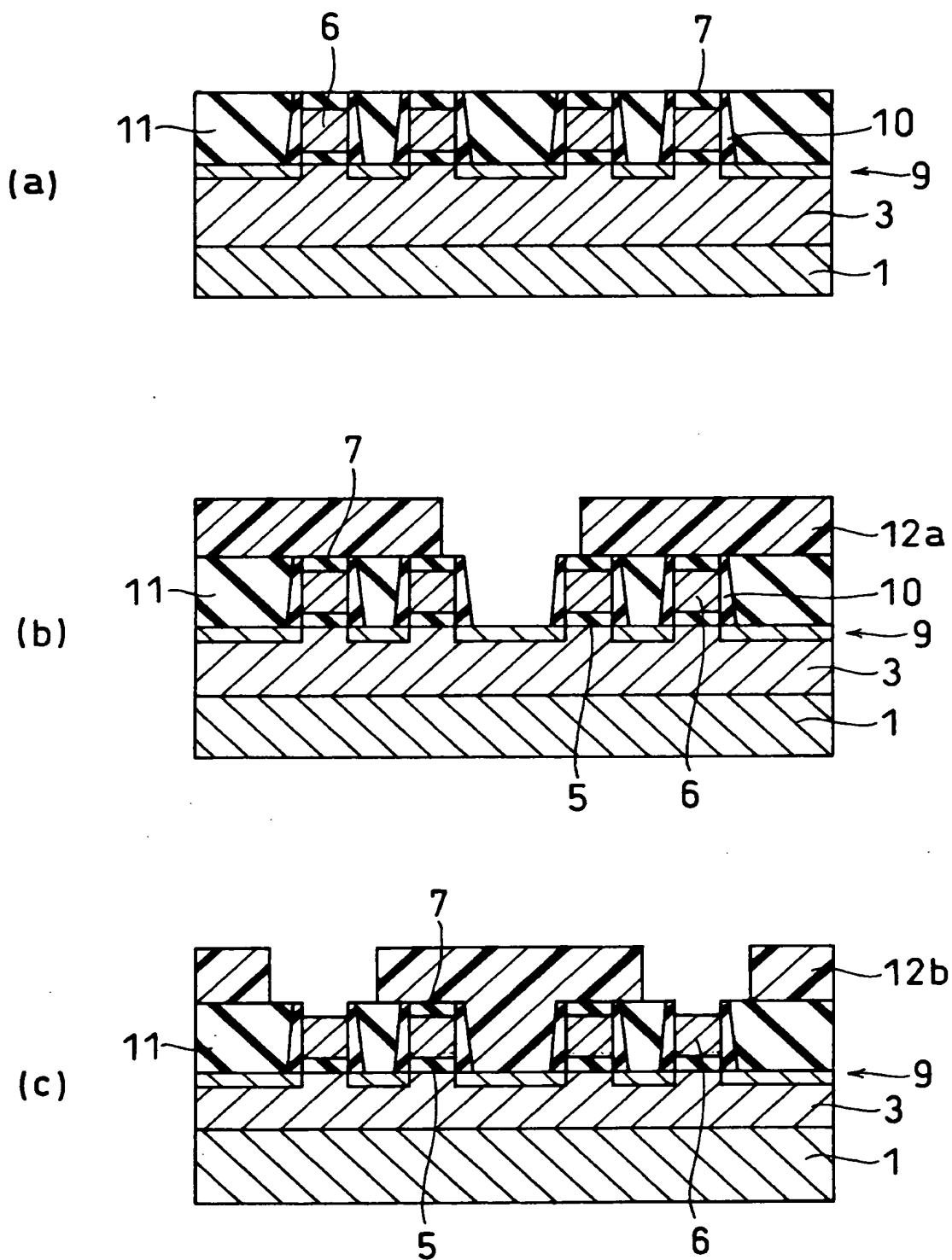
【図 8】



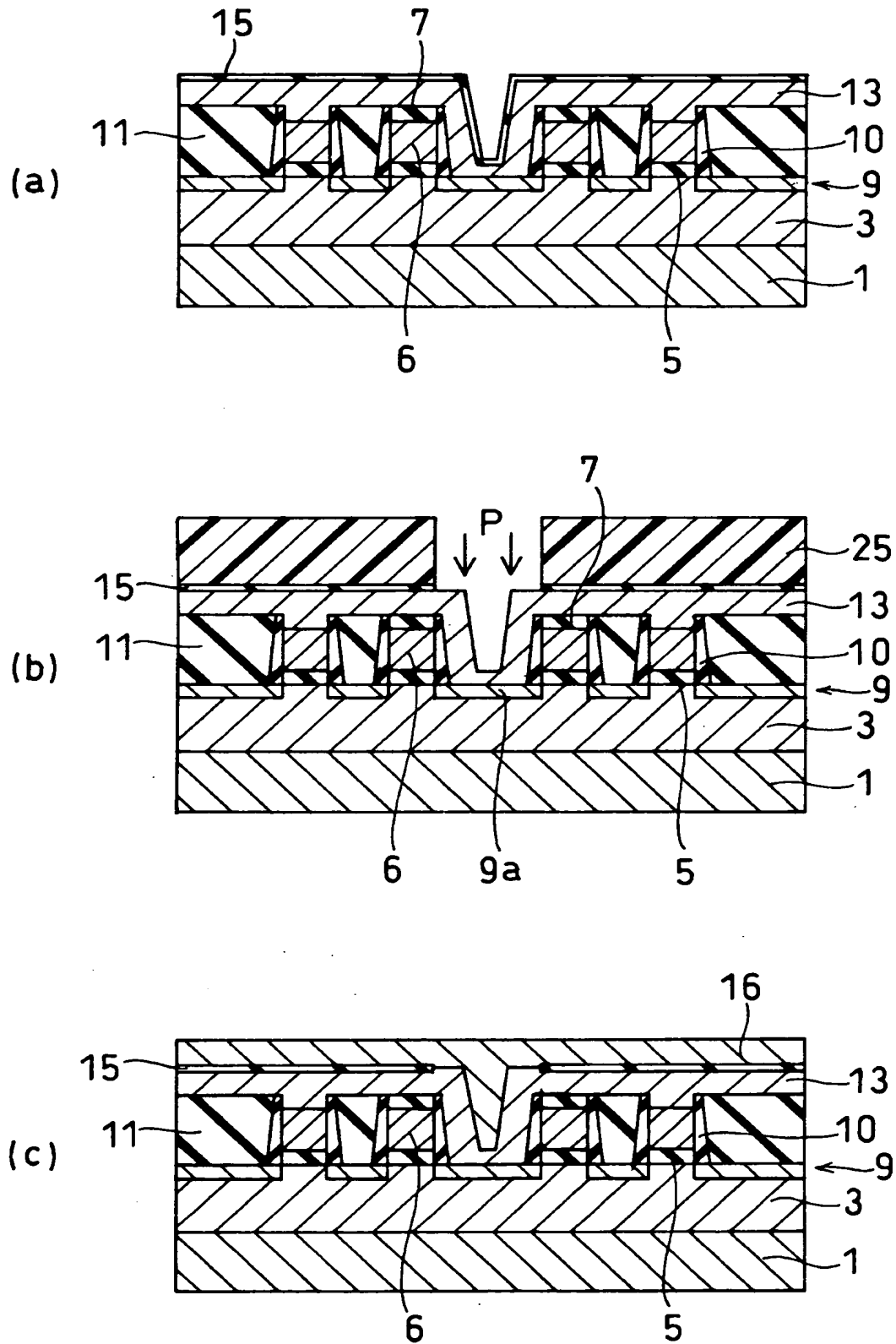
【図 9】



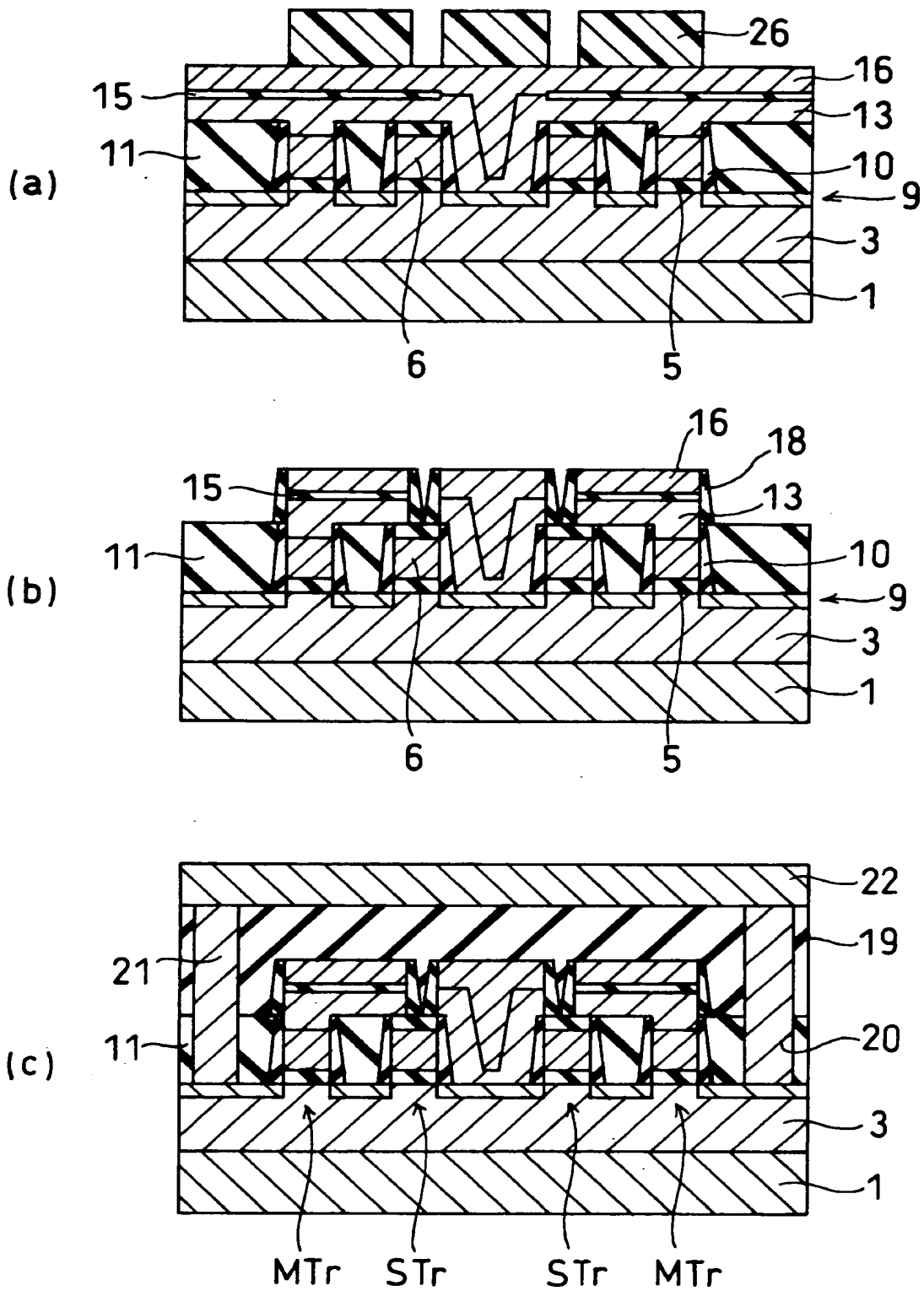
【図10】



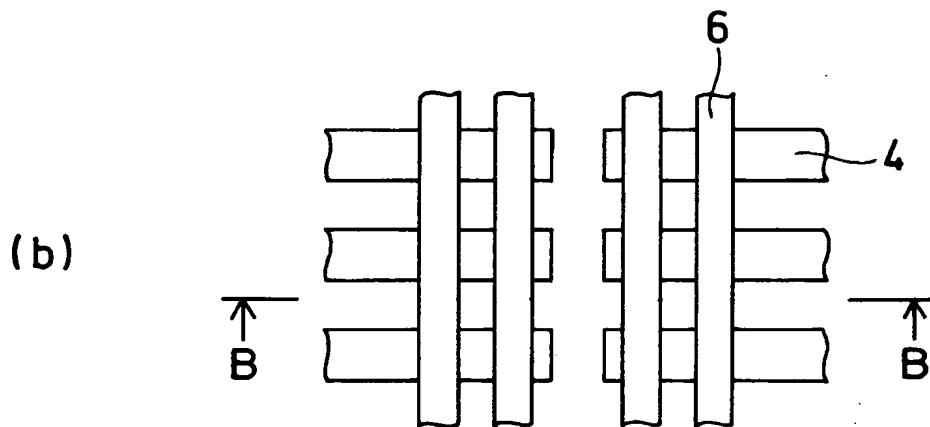
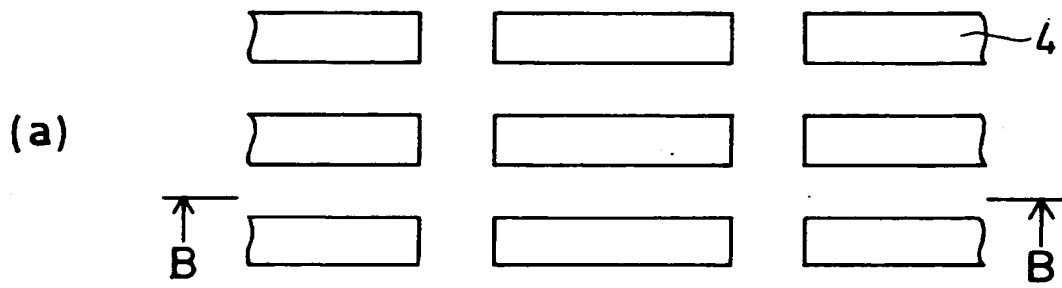
【図 11】



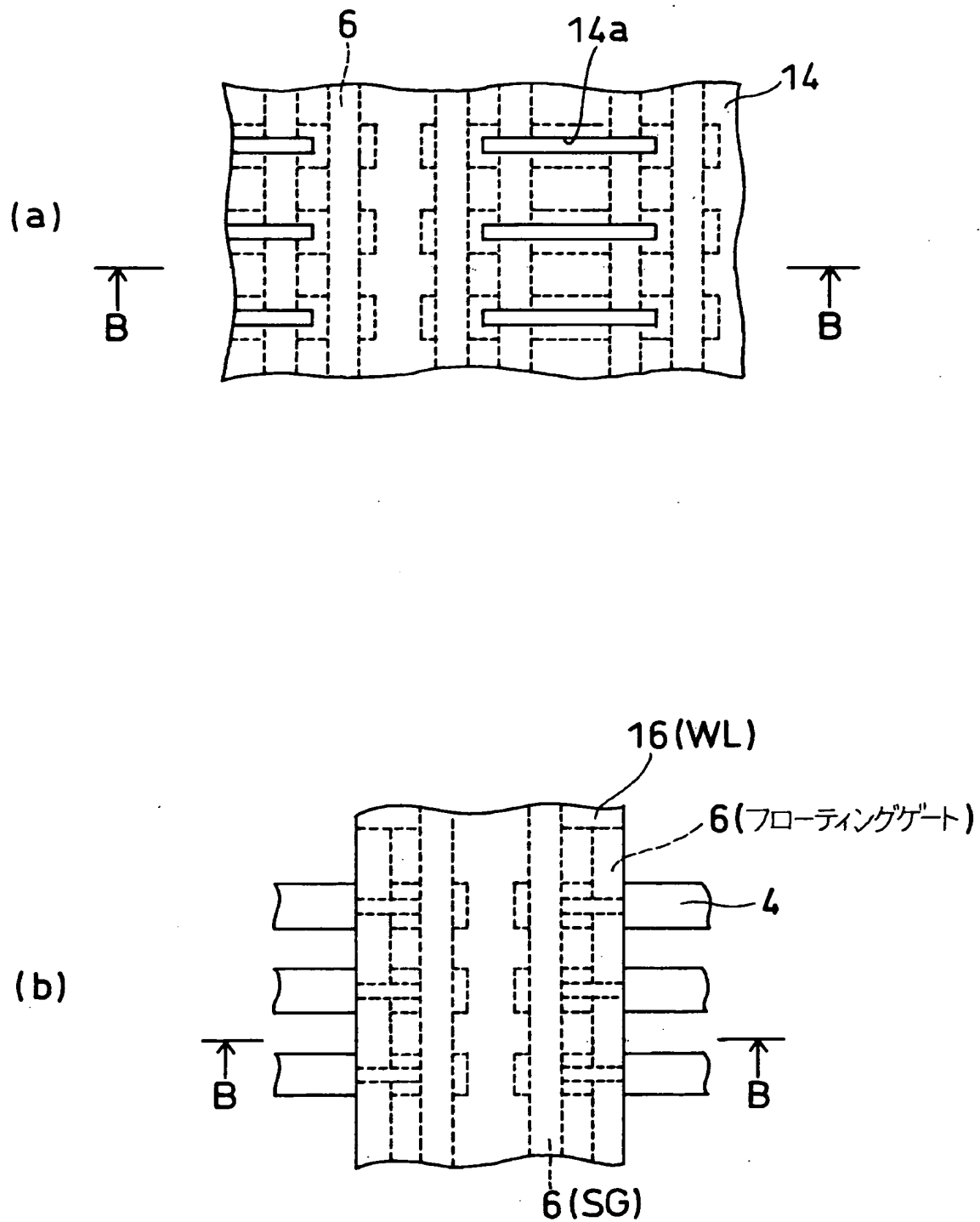
【図 12】



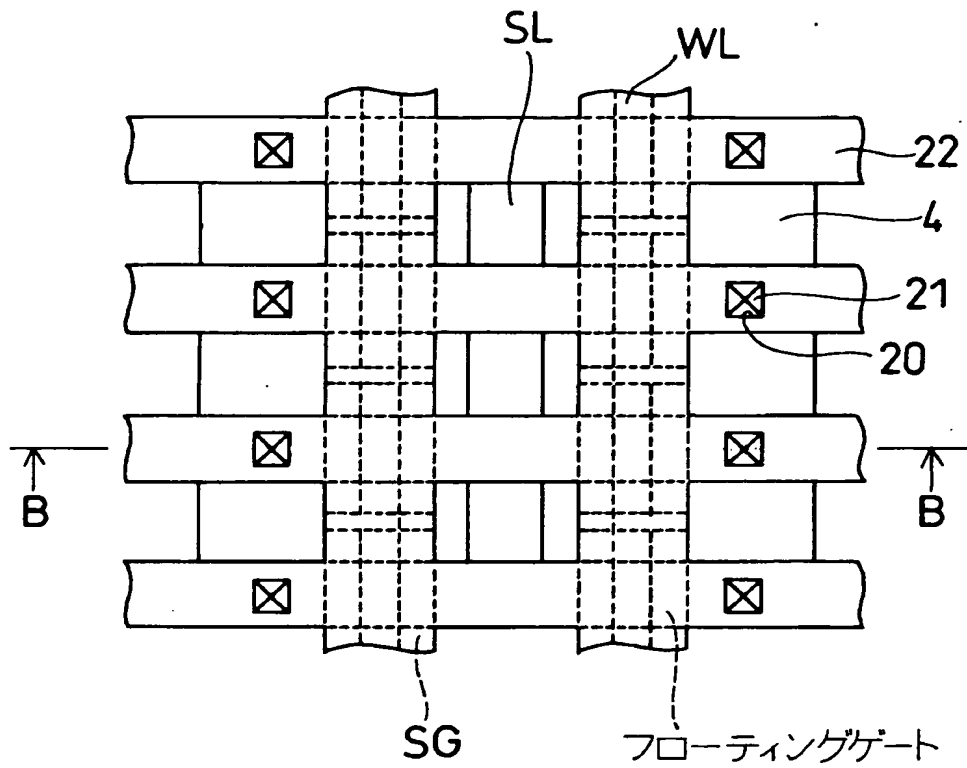
【図 1 3】



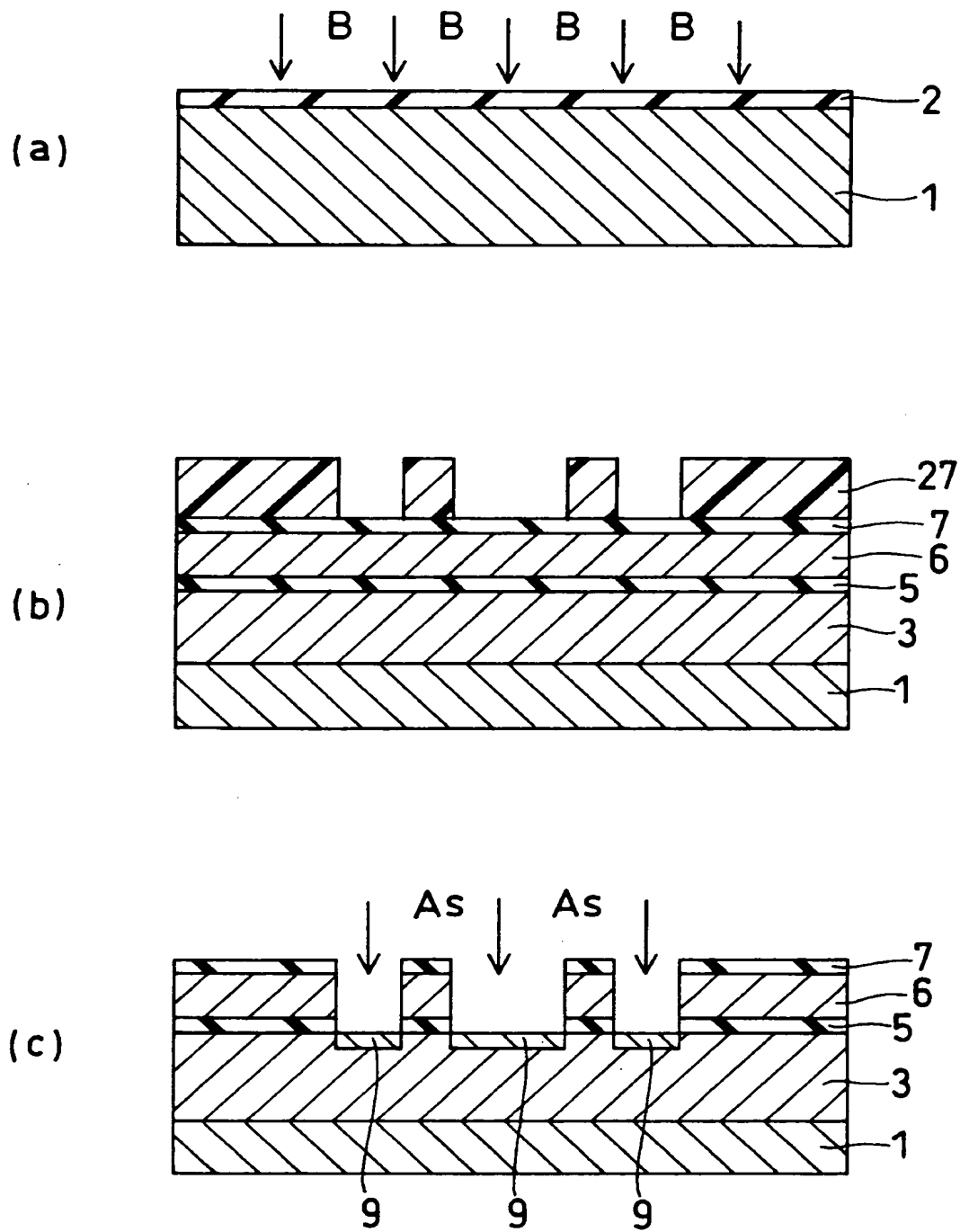
【図 14】



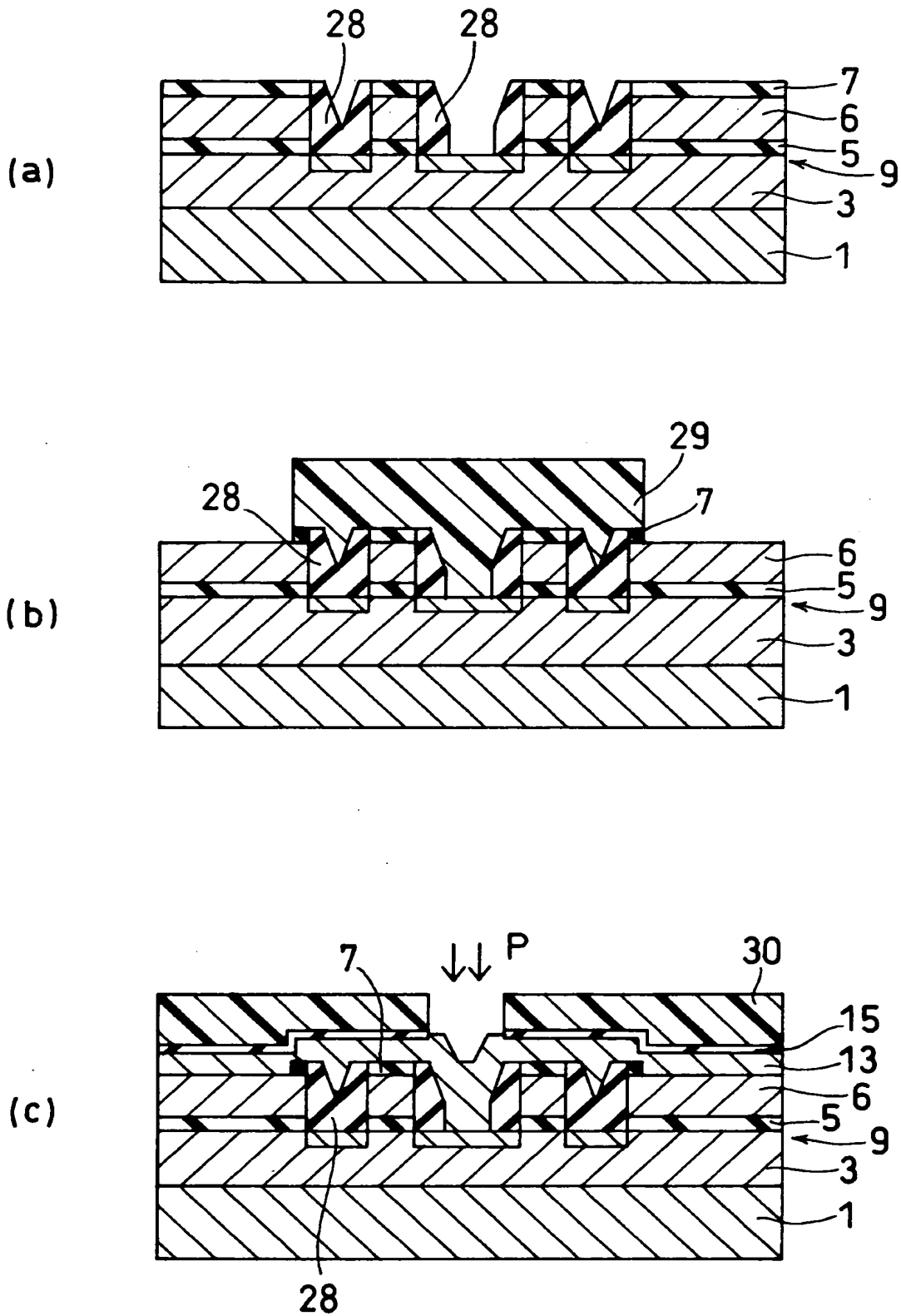
【図15】



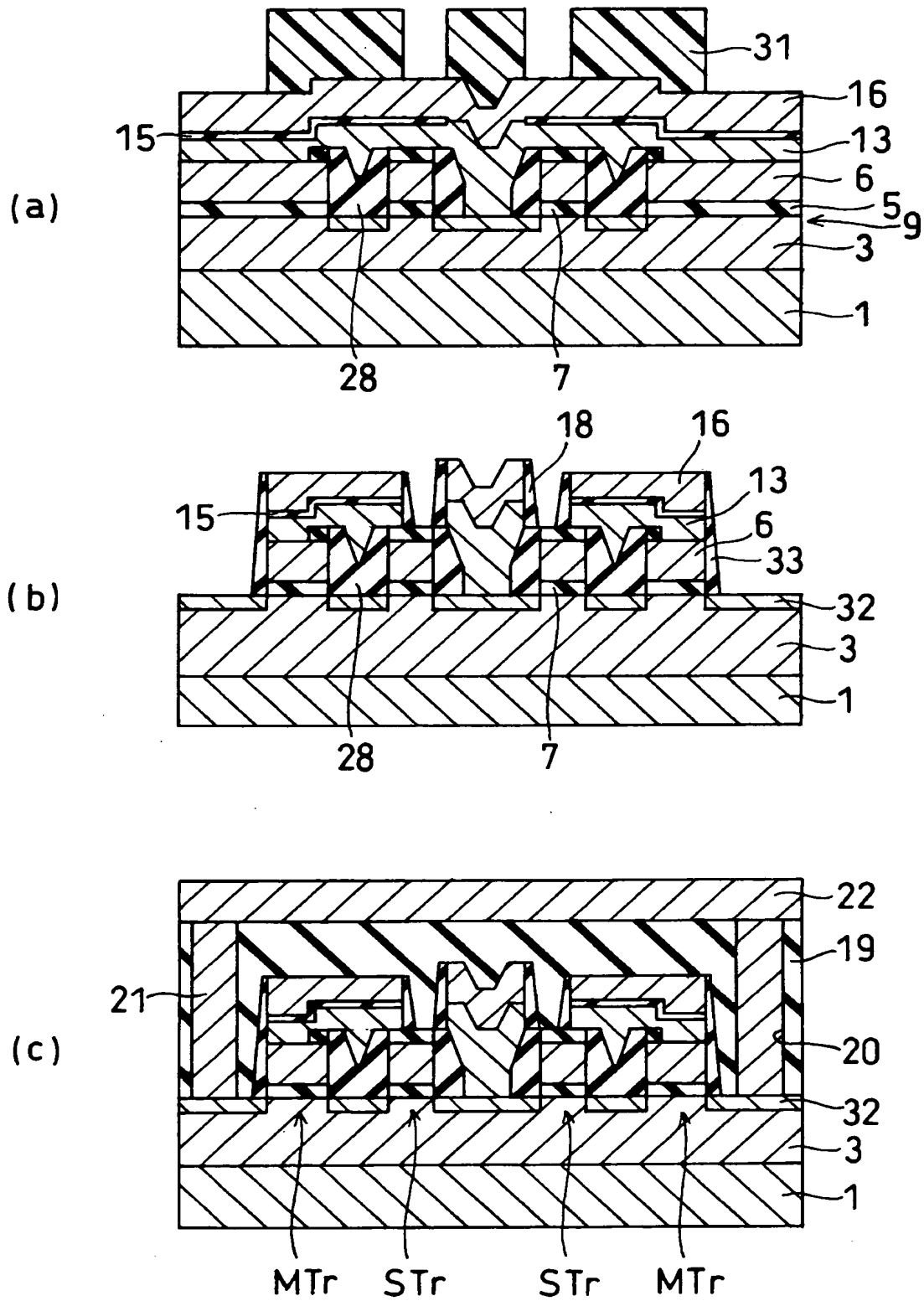
【図 16】



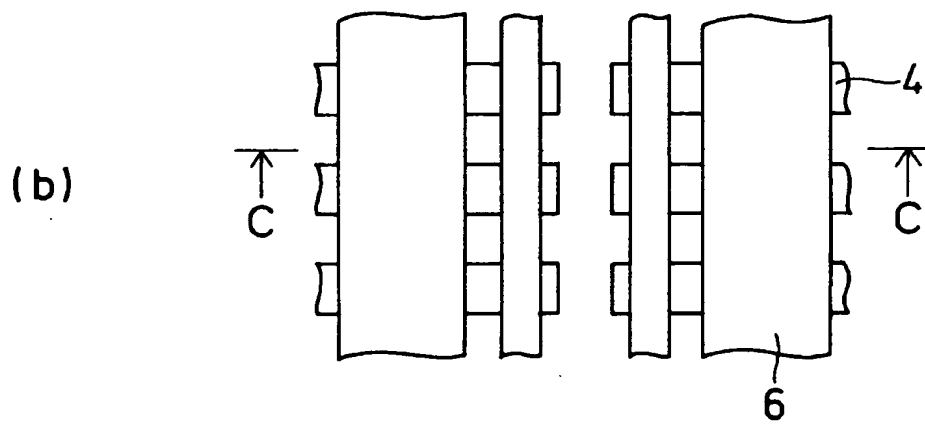
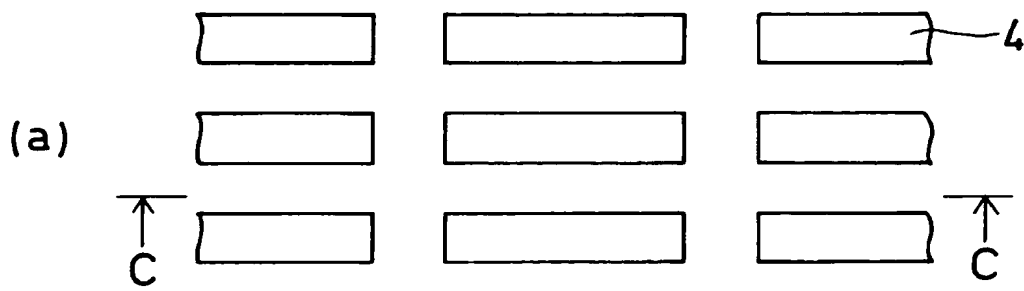
【図17】



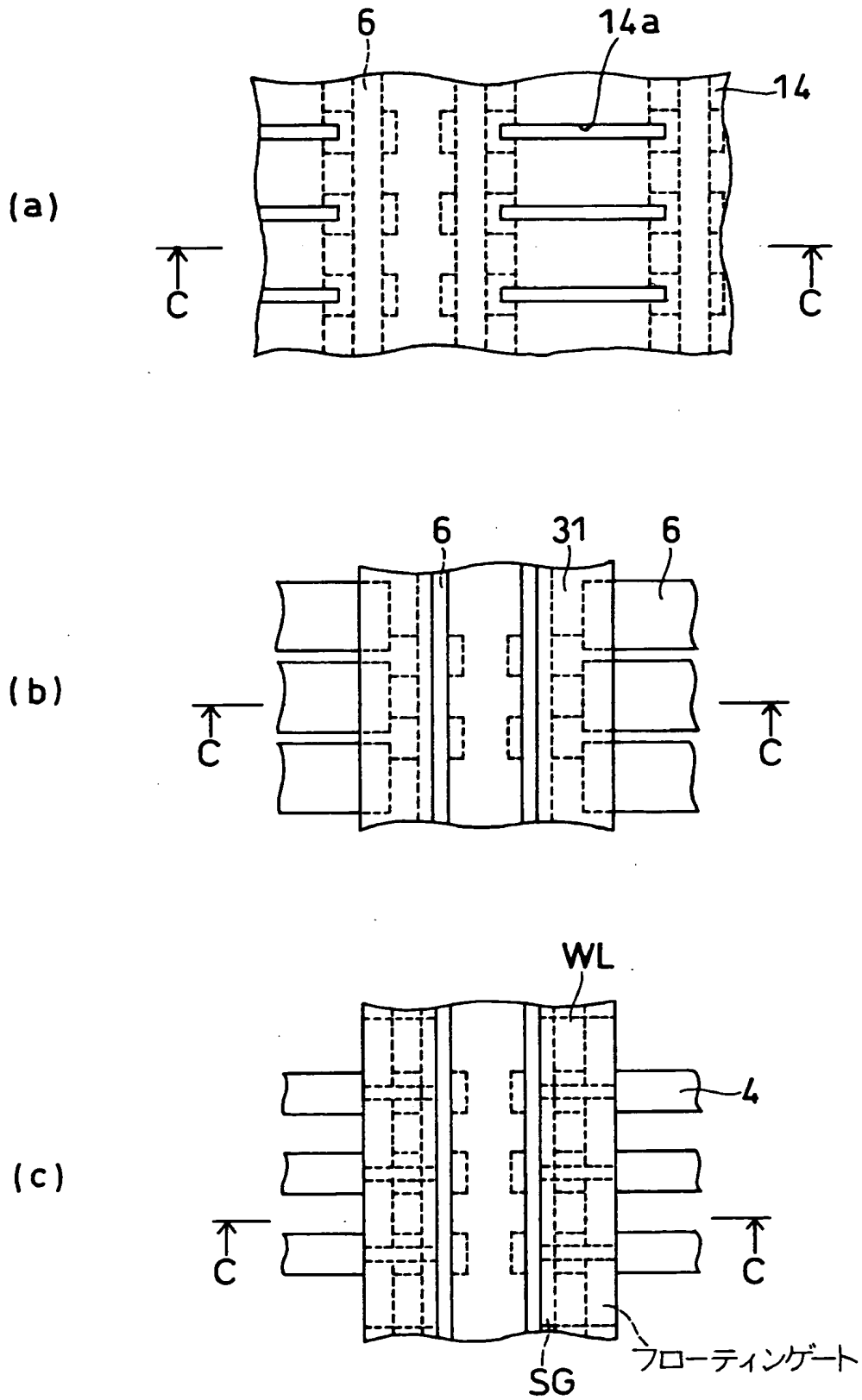
【図 18】



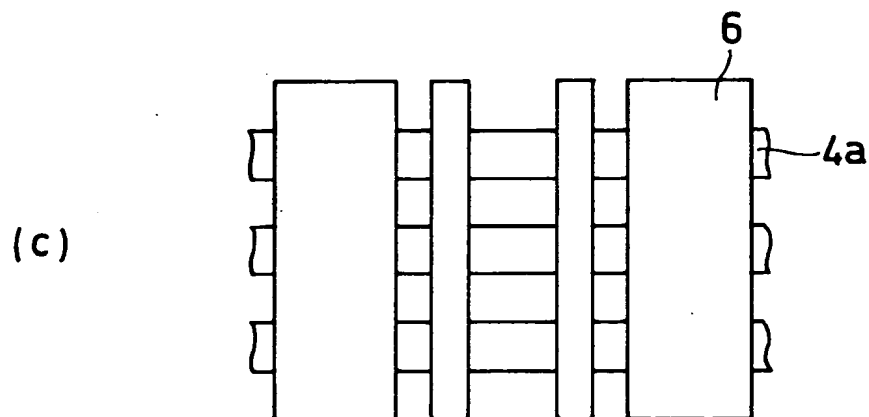
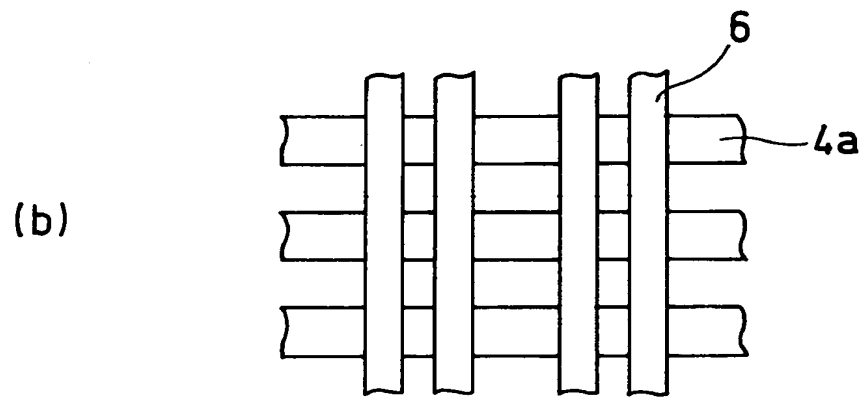
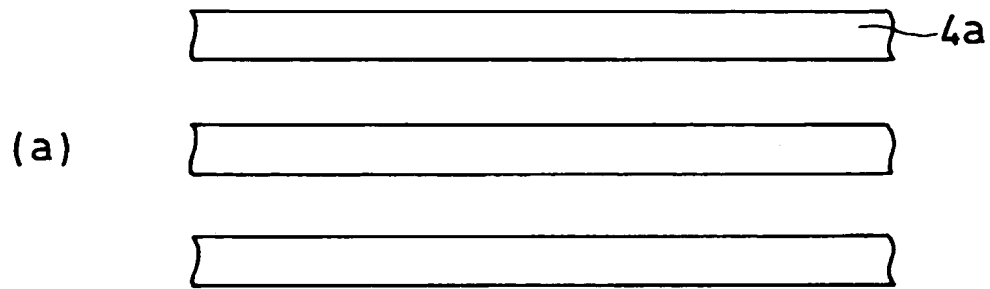
【図 1 9】



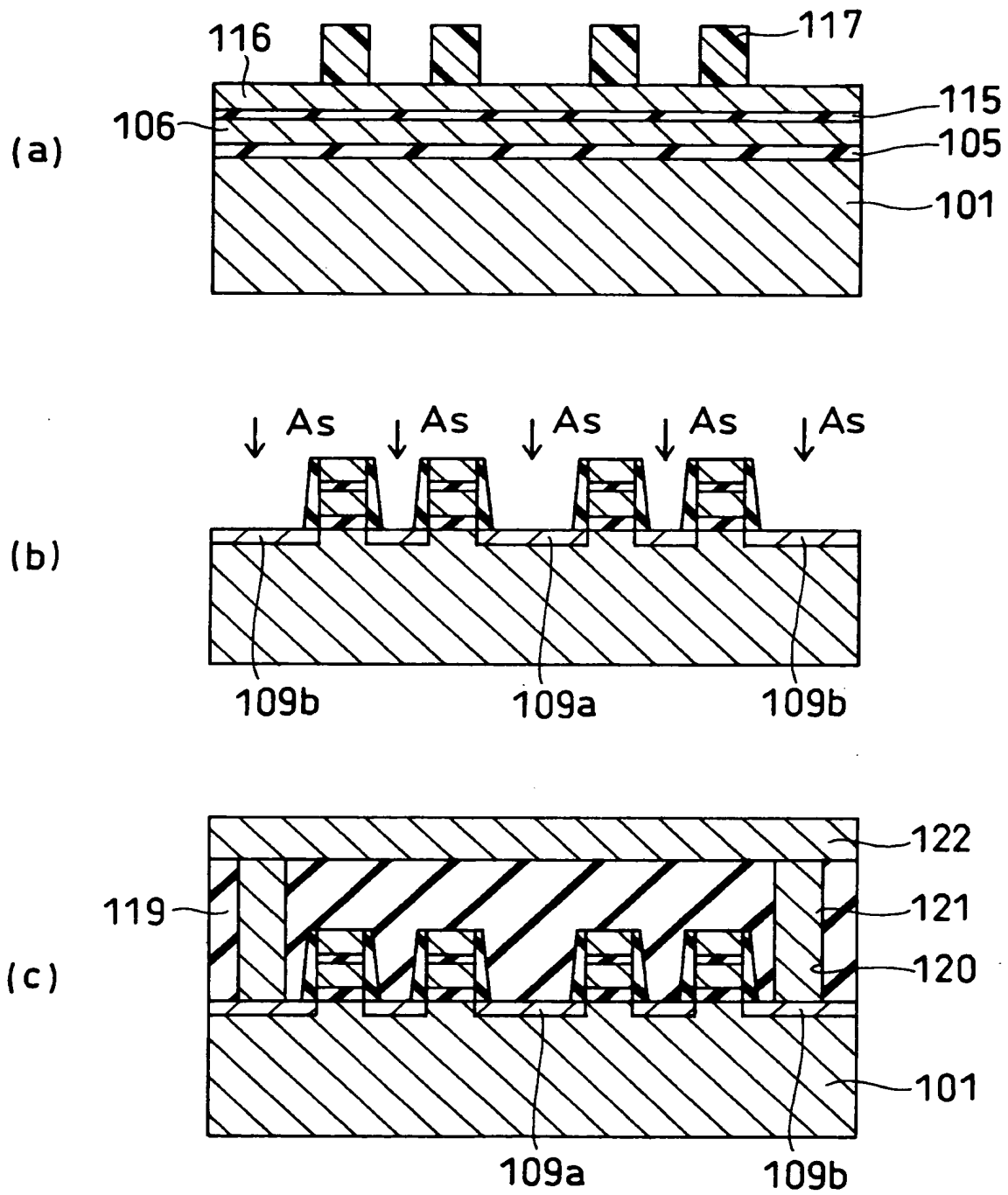
【図20】



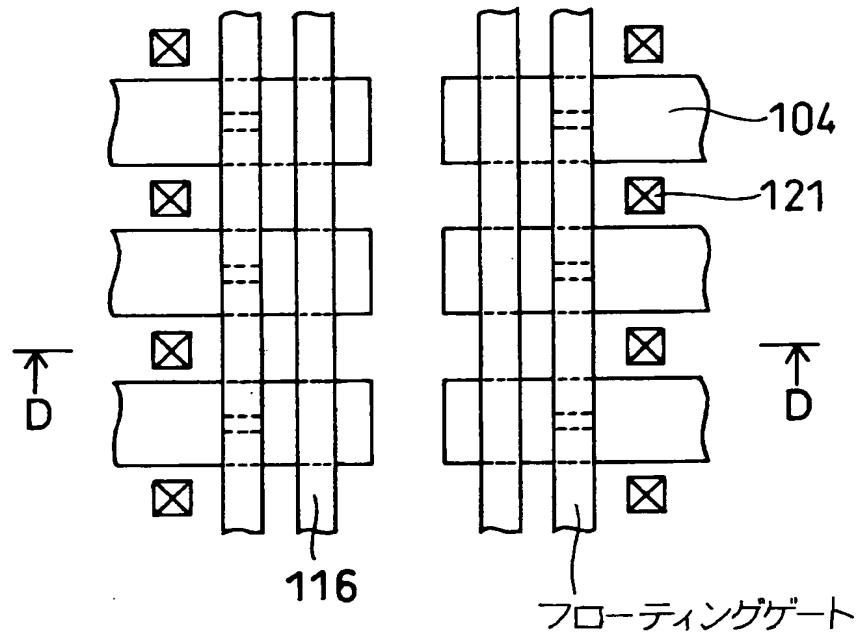
【図 2 1】



【図 2 2】

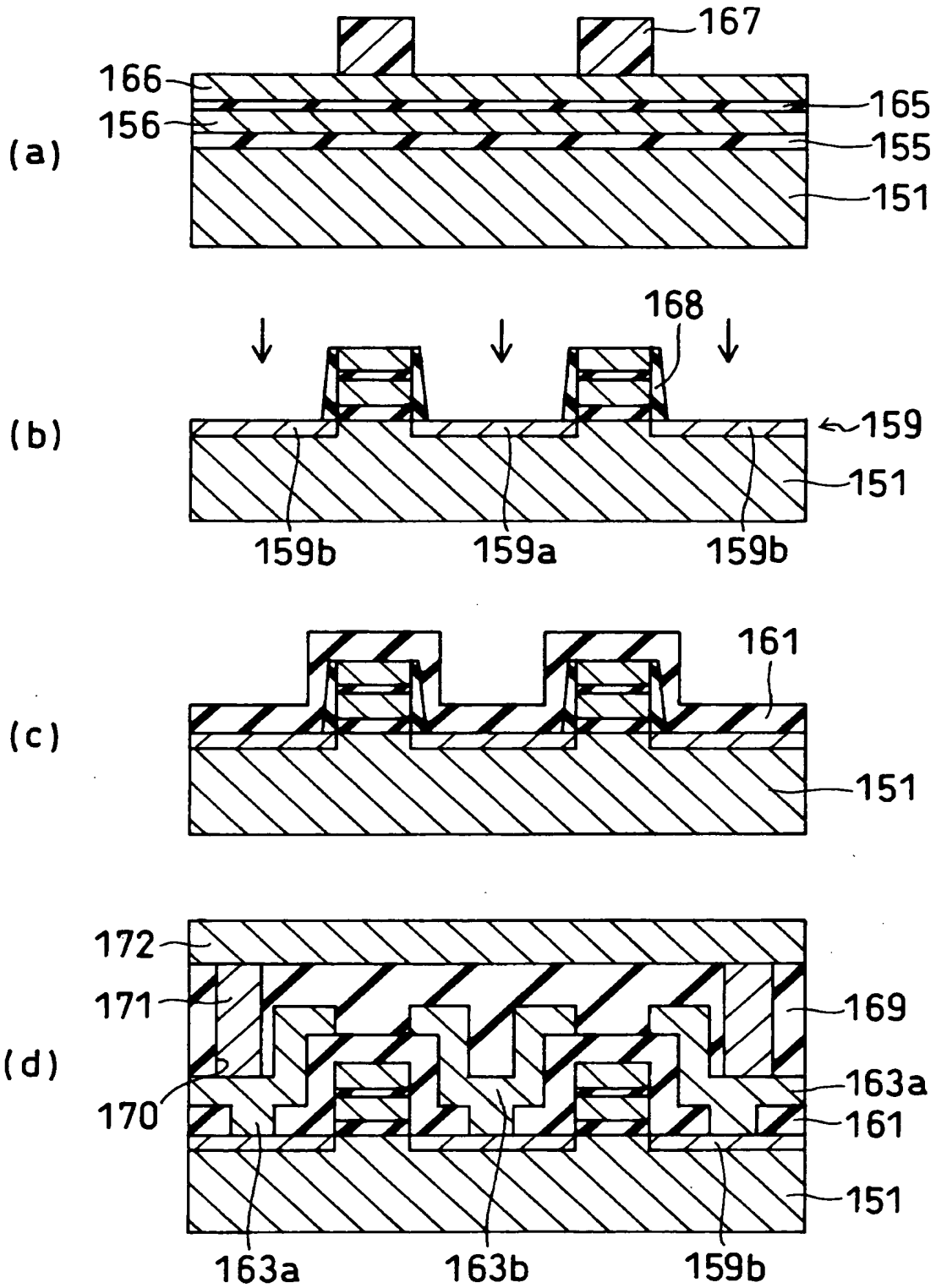


【図 2 3】

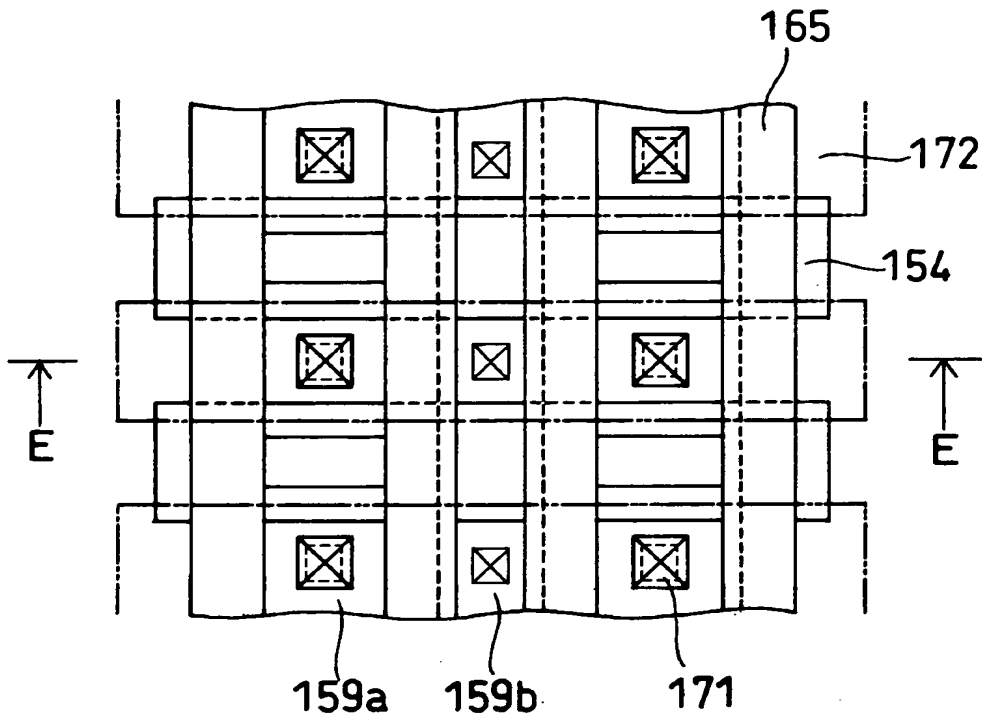


1 0 4 ; フィールド絶縁膜
1 2 1 ; 配線層

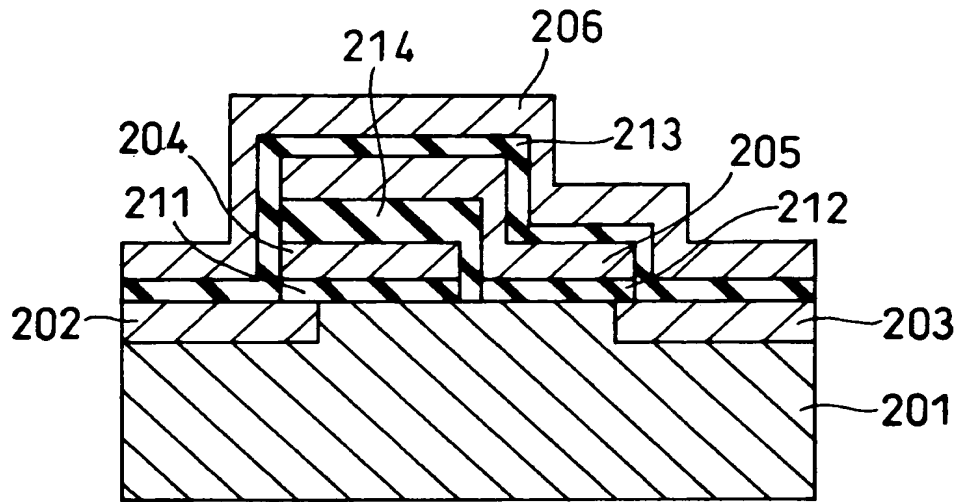
【図 2 4】



【図 2 5】



【図 2 6】



2 0 4 ; 選 択 ゲ ー ト
2 0 5 ; 浮 遊 ゲ ー ト
2 0 6 ; 制 御 ゲ ー ト

【書類名】 要約書

【要約】

【課題】 リーク電流による誤動作、特性のばらつき及び製造のばらつきを防止しながらフローティングゲートとコントロールゲートとの間の結合容量を増大させて動作電圧を下げることができる不揮発性半導体記憶装置及びその製造方法を提供する。

【解決手段】 ポリシリコン膜 1 6 上にフォトレジスト 1 7 を形成し、このフォトレジスト 1 7 をメモリセルトランジスタ上からセレクトトランジスタを覆う形状又はセレクトトランジスタ S T r までかかる形状に残存するようにパターニングする。次いで、フォトレジスト 1 7 をマスクとして、ポリシリコン膜 1 6 、 O N O 膜 1 5 及びポリシリコン膜 1 3 を順次エッチングにより除去する。

【選択図】 図 4

特 2000-117677

認定・付加情報

特許出願の番号	特願 2000-117677
受付番号	50000492615
書類名	特許願
担当官	第五担当上席 0094
作成日	平成12年 4月20日

<認定情報・付加情報>

【提出日】 平成12年 4月19日

次頁無

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日
[変更理由] 新規登録
住 所 東京都港区芝五丁目7番1号
氏 名 日本電気株式会社